

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-74843

(43) 公開日 平成10年(1998) 3月17日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8234			H 0 1 L 27/08	1 0 2 B
27/088			H 0 3 K 19/00	A
27/04			H 0 1 L 27/04	B
21/822				
H 0 3 K 19/00				

審査請求 未請求 請求項の数 7 O L (全 23 頁)

(21) 出願番号 特願平9-162634  
(22) 出願日 平成9年(1997) 6月19日  
(31) 優先権主張番号 特願平8-170009  
(32) 優先日 平8(1996) 6月28日  
(33) 優先権主張国 日本 (J P)

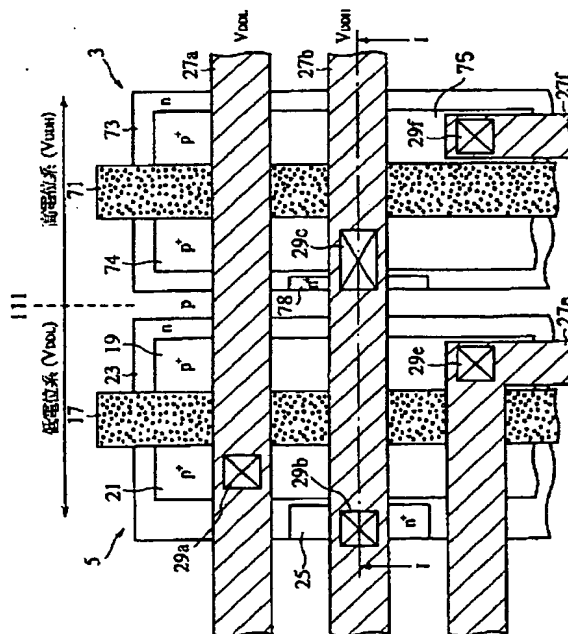
(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 金沢 正博  
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内  
(72) 発明者 宇佐美 公良  
神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内  
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 多電源集積回路および多電源集積回路システム

(57) 【要約】

【課題】 セミカスタム設計手法により自動設計した場合に、信頼性の低下を招くことなくチップ面積の低減を図ることができる低消費電力多電源集積回路およびこれを用いたシステムを提供する。

【解決手段】 第1のnウェル73中に形成された第1の電源電圧 ( $V_{DD1}$ ) で動作する第1のp型MOSトランジスタ3と、第2のnウェル23中に形成され、第1の電源電圧より低い第2の電源電圧 ( $V_{DD2}$ ) で動作する第2のp型MOSトランジスタ5を含む多電源集積回路であって、第1のウェルと第2のウェルとが境界線111を挟んで隣接し、第1および第2のnウェルに対し共に第1の電源電圧 ( $V_{DD1}$ ) を供給すべく構成されている。



## 【特許請求の範囲】

【請求項1】 第1の電源電圧を印加された第1のnウェルと、該第1のnウェルの最近接となる位置に配置され、該第1の電源電圧を印加された第2のnウェルと、該第1のnウェル中に形成され、該第1の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第1のp型MOSトランジスタと、該第2のnウェル中に形成され、該第1の電源電圧より低い第2の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第2のp型MOSトランジスタとを少なくとも含む多電源集積回路。

【請求項2】 第1の電源電圧を印加されたn型基板と、該n型基板中に形成され、該第1の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第1のp型MOSトランジスタと、該n型基板中に、該第1のp型MOSトランジスタと隣接して形成され、該第1の電源電圧より低い第2の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第2のp型MOSトランジスタとを少なくとも含む多電源集積回路。

【請求項3】 第1の電源電圧を印加された第1のp型半導体領域と、該第1のp型半導体領域の最近接となる位置に配置され、該第1の電源電圧を印加された第2のp型半導体領域と、該第1のp型半導体領域中に形成され、該第1の電源電圧を印加されたn<sup>+</sup>型ソース領域を有する第1のn型MOSトランジスタと、該第2のp型半導体領域中に形成され、該第1の電源電圧より高い第2の電源電圧を印加されたn<sup>+</sup>型ソース領域を有する第2のn型MOSトランジスタとを少なくとも含む多電源集積回路。

【請求項4】 第1の電源電圧を印加された第1のnウェルと、該第1のnウェルの最近接となる位置に配置され、該第1の電源電圧を印加された第2のnウェルと、該第1のnウェル中に形成され、該第1の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第1のp型MOSトランジスタと、該第2のnウェル中に形成され、該第1の電源電圧より低い第2の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第2のp型MOSトランジスタとを少なくとも含む集積回路と、該集積回路に接続され、該第2の電源電圧を該第1の電源電圧印加後に印加するための電源電圧制御回路、とを少なくとも含む多電源集積回路システム。

【請求項5】 第1の電源電圧を印加された第1のnウェルと、該第1のnウェルの最近接となる位置に配置され、該第1の電源電圧を印加された第2のnウェルと、該第1又は第2のnウェルの最近接となる位置に配置され、該第1の電源電圧を印加された第3のnウェルと、該第1のnウェル中に形成され、該第1の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第1のp型MOSトランジスタと、該第2のnウェル中に形成され、該第1の電源電圧より低い第2の電源電圧を印加されたp<sup>+</sup>型MOSトランジスタ領域を有する第2のp型MOSトラ

ンジスタと、該第3のnウェル中に形成され、該第1の電源電圧より低い、第3の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第3のp型MOSトランジスタとを少なくとも含む集積回路と、

該集積回路に接続され、該第2および第3の電源電圧を該第1の電源電圧印加後に印加するための電源電圧制御回路、とを少なくとも含む多電源集積回路システム。

【請求項6】 第1の電源電圧を印加されたn型基板と、該n型基板中に形成され、該第1の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第1のp型MOSトランジスタと、該n型基板中に該第1のp型MOSトランジスタと隣接して形成され、該第1の電源電圧より低い第2の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第2のp型MOSトランジスタとを少なくとも含む集積回路と、

該集積回路に接続され、該第2の電源電圧を該第1の電源電圧印加後に印加するための電源電圧制御回路、とを少なくとも含む多電源集積回路システム。

【請求項7】 第1の電源電圧を印加されたn型基板と、該n型基板中に形成され、該第1の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第1のp型MOSトランジスタと、該n型基板中に該第1のp型MOSトランジスタと隣接して形成され、該第1の電源電圧より低い第2の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第2のp型MOSトランジスタと、該n型基板中に該第1又は第2のp型MOSトランジスタと隣接して形成され、該第1の電源電圧より低い第3の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第3のp型MOSトランジスタとを少なくとも含む集積回路と、

該集積回路に接続され、該第2および第3の電源電圧を該第1の電源電圧印加後に印加するための電源電圧制御回路、とを少なくとも含む多電源集積回路システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の電源電圧を使用する多電源集積回路に係り、特に、信頼性の低下を招くことなくチップ面積の低減を図ることができる多電源集積回路およびこの多電源集積回路を用いたシステムに関する。

## 【0002】

【従来の技術】半導体集積回路が大規模になるにつれて、人手によってすべてを設計することが困難となり、コンピュータによる自動設計であるセミカスタム設計手法が一般的に利用されるようになってきている。このセミカスタム設計手法とは、標準の基本回路（論理セル）を予め複数準備し、これらの論理セルをコンピュータにより自動設計して希望の回路を開発する手法であり、その代表例としてゲートアレイ方式やスタンダードアレイ方式がある。例えば、図30に示すゲートアレイ方式は、半導体チップ101上に、NAND、NOR、NO

Tなどの基本論理回路を作るための基本セル（ベースセル）103が何列も整然と並べられ、各セル列（ロウ）105の間には各基本セル103間を結ぶための配線の通路（配線チャンネル）107が設けられている。ゲートアレイ方式においてはこれら基本セルを予め用意しておき、この上の配線層のパターンをユーザの要求に合わせて設計し、配線接続だけを行うことにより目的の回路を短期間に開発することができるものである。また、基本セル103は、例えば、図31に示すように、複数のp型MOSトランジスタとn型MOSトランジスタを構成するためのソース・ドレイン領域74、75、76、77およびポリシリコン領域71からなり、これらのトランジスタを図32に示すように配線接続することにより基本論理回路を構成する。

【0003】図31において隣接する2個の基本セル103を基本セル103aおよび103bとして示している。各基本セル103a、103bはそれぞれp<sup>+</sup>ソース/ドレイン領域74、75、n<sup>+</sup>ソース/ドレイン領域76、77、およびゲートポリシリコン領域71とから構成されている。すなわち、図31においてはそれぞれ2個のnMOSトランジスタ1a、1b及び2個のpMOSトランジスタ2a、2bとから成る2つの基本セル103a、103bが、p<sup>+</sup>型コンタクト領域79、n<sup>+</sup>型コンタクト領域78を挟むようにその上下に配設されて1つのブロックを構成している。ゲートアレイ方式のレイアウトにおいては、図31に示すように配線層を設計する場合の基礎となる配線チャンネル格子が基本セル103a、103bの上に規定されている。図31では、X方向にX0～X11の12本、Y方向にY0～Y6の7本の線からなる格子を示したが、このような配線チャンネル格子に沿って金属配線やコンタクトホール

のレイアウトが決定される。

【0004】図32は図31に示すゲート基本セルの上部に金属配線を配置したレイアウトを示す。図32に示す金属配線は図33にその等価回路を示す4入力NANDを構成する場合のパターンであり、配線チャンネル格子に沿って形成されている。縦方向の金属配線（VDD電源供給線85a、VSS電源供給線85b）及び横方向の金属配線（接続配線86）がそれぞれのトランジスタ1a、1b、2a、2bの所定の部分を互いに接続し、配線することにより、4入力（A、B、C、D）のNANDゲート（Z出力）が構築されている。

【0005】

【発明が解決しようとする課題】半導体集積回路の集積密度が増大するにつれ、ますます低消費電力性が要求されて来ている。一般に電源電圧を下げれば低消費電力化は可能である。しかしながら、一律に電源電圧を下げれば、回路の動作速度が遅くなってしまふ。半導体集積回路中には種々の論理回路やゲートが含まれており、半導体チップ上には、高速性が要求されるセルと比較的高速

性が要求されないセルが混在していることが多い。したがって高速性が要求されるセルやゲートを高電位電源電圧（ $V_{DD}$ ）で駆動し、高速性があまり要求されないセルやゲートを低電位電源電圧（ $V_{DD1}$ ）で駆動すれば、全体としての高速性を維持しながら、半導体集積回路の低消費電力化が図られる。

【0006】このような設計思想のもとで、本発明者らは多電源集積回路を検討した。しかしながら、複数の電源電圧、たとえば高電位電源電圧（ $V_{DD}$ ）と低電位電源電圧（ $V_{DD1}$ ）とから成る2つの電源電圧を用いる多電源集積回路を設計した場合は、以下に述べるように、電源電圧が一つである場合と比較してチップ面積が増大するという不具合があるが生じることを見出した。図34は、本発明の前段階として本発明者らが検討した、ゲートアレイ方式の2電源集積回路の断面図である。図34に示すように、この多電源集積回路は、p型基板1上に高電位基本セル（ $V_{DD}$ セル）を構成するp型MOSトランジスタ3と低電位基本セル（ $V_{DD1}$ セル）を構成するp型MOSトランジスタ115とが高電位基本セルと低電位基本セルとの境界線111を挟んで隣接して配置されている。そして、高電位電源電圧（ $V_{DD}$ ）で動作するp型MOSトランジスタ3は、ゲートとなるゲート電極71と、nウェル73中に形成されたドレインとなるp<sup>+</sup>型拡散層75とソースとなるp<sup>+</sup>型拡散層74と、nウェル73に高電位電源電圧（ $V_{DD}$ ）を供給するためのn<sup>+</sup>型コンタクト領域78とを有している。同様に、低電位電源電圧（ $V_{DD1}$ ）で動作するp型MOSトランジスタ115は、ゲートとなるゲート電極17と、nウェル133中に形成されたドレインとなるp<sup>+</sup>型拡散層19とソースとなるp<sup>+</sup>型拡散層131と、nウェル133に低電位電源電圧（ $V_{DD1}$ ）を供給するためのn<sup>+</sup>型コンタクト領域135とを有している。ここで、CMOS回路においては、通常、n型MOSトランジスタのソースを接地電位（GND）とし、p型MOSトランジスタのソースおよび「基板」（ここで「基板」は等価回路表現におけるシンボル化されたMOSトランジスタの基板端子を意味し、現実の構造では、たとえばウェル構造である場合にはnウェルが該当することはもちろんである）には、動作させる電源電圧（ $V_{DD}$ ）を接続するので、高電位電源電圧で動作するp型MOSトランジスタ3と低電位電源電圧で動作するp型MOSトランジスタ115とはそれぞれ異なるnウェル上に形成する必要がある。そのため、上述したように、p型MOSトランジスタ3とp型MOSトランジスタ115とは別個のnウェル73、133上に形成され、p型MOSトランジスタ3のnウェル73には高電位電源電圧（ $V_{DD}$ ）が、p型MOSトランジスタ115のnウェル133には低電位電源電圧（ $V_{DD1}$ ）がそれぞれ接続されることとなる。

【0007】ところが、このことは、結果的には、nウ

エル73とnウェル133との間に( $V_{DDH} - V_{DDL}$ )分の電圧を印加することになるので、これら2つのnウェル間の距離によっては、図34中にAで示す箇所において、nウェル73からnウェル133への電荷の注入を引き起こしてしまうのである(キャリアとして電子に着目すれば、電子はnウェル133からnウェル73へ注入されることはもちろんである)。そして、この電荷(キャリア)注入は、回路の信頼性を低下させる要因となるものである。

【0008】そこで、この電荷注入の抑制を図るために、図35に示すように高電位電源で動作するp型MOSトランジスタ3からなる基本セル(高電位基本セル)103Hと低電位電源で動作するp型MOSトランジスタ115からなる基本セル(低電位基本セル)103Lを一定の距離だけ離す方法が考えられる。しかし、このことは、実質的に、図35に示すように、基本セル103H、103Lを横方向に大きくした(図35中矢印で示す方向に大きくした)基本セル103H'、103L'を設けたことと等価となり、半導体チップ101のチップ面積の増大を招く原因となるものである。図35に示すようなチップ面積の増大を回避するために高電位電源系の共通nウェルと低電位電源系の共通nウェルを一定の距離だけ離間して設け、それぞれの共通nウェルに複数の高電位基本セルから成るセルアレイおよび複数の低電位基本セルからなるセルアレイを配置することも考えられる。しかしこの場合は具体的な回路を構成するためには一方の共通nウェル中の個別の基本セルから他方の共通nウェル中の個別の基本セルへの配線が必須となるため、この配線長が長くなる。回路が複雑となり配線数が増えればますます配線用のスペースも増大することとなる。又、配線長が長くなることは配線による信号遅延の問題も生じて来る。

【0009】以上説明したように、多電源集積回路を上記セミカスタム設計手法により設計した場合、信頼性を確保するためにはチップ面積の増大を招くことが本発明らの検討により見出された。

【0010】本発明は上記事情に鑑みて成されたものであり、その目的は、セミカスタム設計手法により自動設計した場合に、信頼性の低下を招くことなくチップ面積の低減を図ることができる低消費電力の多電源集積回路を提供することである。

【0011】本発明の他の目的は集積密度の向上が容易でしかも全体としては高速動作可能なセミカスタム多電源集積回路を提供することである。

【0012】本発明のさらに他の目的は、高速、低消費電力、高集積密度の多電源集積回路を含む回路システムであって、信頼性が高い回路システムを提供することである。

【0013】本発明のさらに他の目的は、多電源集積回路のチップ面積の低減化又は集積密度の向上が容易で、

システム設計の容易な回路システムを提供することである。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体集積回路は、第1の電源電圧を印加された第1のnウェル;この第1のnウェルの最近接となる位置に配置され、第1の電源電圧を印加された第2のnウェル;第1のnウェル中に形成され、第1の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第1のp型MOSトランジスタ;および、第2のnウェル中に形成され、第1の電源電圧より低い第2の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第2のp型MOSトランジスタとを少なくとも有する多電源集積回路であることを第1の特徴とする。具体的には第1の電源電圧(高電位電源電圧 $V_{DDH}$ )で動作する第1のp型MOSトランジスタを含む高電位基本セルと、高電位電源電圧より低い第2の電源電圧(低電位電源電圧 $V_{DDL}$ )で動作する第2のp型MOSトランジスタを含む低電位基本セルとをセミカスタムLSIのセル列等の形で備えた多電源集積回路において、高電位基本セルと低電位基本セルとの境界線を挟んで第1のp型MOSトランジスタが形成された第1のnウェルと、この第1のnウェルに最近接の位置に隣接する第2のp型MOSトランジスタが形成された第2のnウェルの電位が共に高電位電源電圧であることを特徴とする。周知のようにMOSトランジスタのソース領域とドレイン領域とは対称に出来ており、一般にソース領域とドレイン領域とは入れ換えることができる。したがってここで言う「p<sup>+</sup>型ソース領域」とはp型MOSトランジスタの一方の主電極の意に解すべきである。すなわちp型MOSトランジスタの一方の主電極であって電源電圧を印加される側の電極領域をここで「p<sup>+</sup>型ソース領域」と呼んでいる。

【0015】上記構成によれば、第2のnウェルにも第1の電源電圧(高電位電源電圧)を供給するようにしているので、第1のnウェルと第2のnウェルとの間には電位差は生じず、従って、第1および第2のnウェル間の電荷注入は抑制され、回路の信頼性を向上させることができる。また、かかる電荷注入を考慮することなく各nウェルを近接して配置することができるので、ゲートアレイ等を構成するセル列が横方向に縮小され、従って、チップ面積の縮小を図ることができる。さらに、第1のnウェルと第2のnウェルとを接触して一体とし、共通のnウェルを形成してもよい。すなわちゲートアレイにおける同一のセル列の第1のp型MOSトランジスタと第2のp型MOSトランジスタを共通のnウェル内に形成し、この共通のnウェルの電位を高電位電源電圧としてもよい。共通のnウェルを用いることによって、より一層セル列が横方向に縮小され、チップ面積の縮小をさらに図ることができる。また、第1のp型MOSトランジスタと第2のp型MOSトランジスタを直接n型

基板上に形成することも可能である。

【0016】また、以上の構成によれば第2のp型MOSトランジスタのp<sup>+</sup>型ソース領域と第2のnウェル間には一定の電位差が発生し、基板バイアス効果が生じる。この場合第2のp型MOSトランジスタのしきい値電圧を、第2のp型MOSトランジスタの動作時に生じる基板バイアス効果分を見込んで決定すれば、第2のp型MOSトランジスタの動作時に生じる基板バイアス効果によるしきい値電圧の絶対値の増加を相殺することができるので、第2のp型MOSトランジスタの信号遅延を防ぐことができ、それにより、回路の動作速度を向上させることができる。なお、本発明の第1の特徴において第1の電源電圧を印加された第3のnウェル中に第1の電源電圧より低い第3の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第3のp型MOSトランジスタをさらに加えてもよい。第1、第2、第3のnウェルを連続して形成して共通のnウェルを形成することもできる。第1、第2、第3のp型MOSトランジスタを共通のnウェル中に形成するかわりに、これらのp型MOSトランジスタをn型基板中に形成してもよい。この場合もセル列が横方向に縮小されるので、チップ面積の縮小化、あるいは集積密度の向上を図ることができる。第3の電源電圧は第2の電源電圧よりも低くしてもよい。

【0017】本発明の第2の特徴は上記第1の特徴で述べた多電源集積回路と、この多電源集積回路に供給する電源電圧の供給順序を規定する電源電圧制御回路とを少なくとも含む回路システムである。すなわち本発明の第2の特徴に用いる多電源集積回路は第1の電源電圧を印加された第1のnウェル；第1のnウェルの最近接となる位置に配置され、第1の電源電圧を印加された第2のnウェル；第1のnウェル中に形成され、第1の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第1のp型MOSトランジスタ；および第2のnウェル中に形成され、第1の電源電圧より低い第2の電源電圧を印加されたp<sup>+</sup>型ソース領域を有する第2のp型MOSトランジスタ；とを少なくとも含んでいる。また、本発明の第2の特徴に用いる電源電圧制御回路はこの多電源集積回路に接続され、第2の電源電圧を第1の電源電圧印加後に印加するような順序制御機能を有した制御回路である。

【0018】本発明の第2の特徴によれば第2のp型MOSトランジスタに高電位電源電圧を印加した後に低電位電源電圧を印加するようにハードウェアとして構成されているので多電源集積回路を利用したシステムを構成する際に、2つの電源電圧の印加順序を改めて規定する必要がなく、従って、システム設計を容易とすることができる。多電源集積回路として第1の電源電圧（高電位電源電圧）、第2の電源電圧（中電位電源電圧）、および第3の電源電圧（低電位電源電圧）を印加する半導体集積回路とし、電源電圧制御回路を第1、第2、第3の電源電圧の印加順序制御機能を有するようしてもよい。

とはもちろんである。第2の電源電圧として低電位電源電圧、第3の電源電圧として中電位電源電圧を選択してもよい。また電源電圧制御回路を同一半導体チップ上に集積化してもよい。

【0019】なお、本発明は第1のn型MOSトランジスタからなる第1の基本セルと、第2のn型MOSトランジスタからなる第2の基本セルとを隣接して配置し、第1の基本セルの形成されているpウェル（第1のp型半導体領域）と第2の基本セルの形成されているpウェル（第2のp型半導体領域）に共に低電位電源電圧（第1の電源電圧）を供給するようにしてもよい。この場合は第2のn型MOSトランジスタのn<sup>+</sup>ソース領域には高電位電源電圧（第2の電源電圧）が印加される。独立のp型半導体領域を2つ設けるのではなくこれらを接触して一体とし共通のpウェルを構成し、この共通のpウェル中に第1および第2の基本セルを配置してもよい。p型半導体領域はpウェルに限られず、p型基板中のp型半導体領域でもよい。すなわち、p型基板中に第1及び第2の基本セルを隣接して配置してもよい。n型MOSトランジスタがCMOSを構成している場合は第1および第2の基本セルは、それぞれ高電位基本セルおよび低電位基本セルとなる。一方、n型MOSトランジスタがnMOS回路の負荷側の素子であれば、第1および第2の基本セルは、それぞれ低電位基本セルおよび高電位基本セルとなる。

#### 【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。以下の第1～第6の実施の形態の説明においては、同一又は類似の部分には同一又は類似の符号を付し、重複する部分の説明は省略、又は簡略化している。また半導体装置の説明では一般的であるが、これらの図面は模式図であり、縦と横との比率、あるいは図面相互間の比率等は現実のものとは異なる表現が含まれていることに留意すべきである。特に多層構造からなる半導体装置の各層の膜厚の比率を現実のものとして表現するは極めて困難であり、図示された膜厚は便宜上のものである。したがって、これらの図面は多義に解釈することが可能である。

【0021】（第1の実施の形態）図1は、ゲートアレイ方式により設計した本発明の第1の実施の形態に係るCMOS多電源集積回路の一部を示す等価回路で、図2は図1中のp型MOSトランジスタ3、5のみを示した平面図で、図3は図2のI-I方向から見た断面図である。簡単化のため、ここでは多電源集積回路として2つの電源電圧（高電位電源電圧（ $V_{DDH}$ ）と低電位電源電圧（ $V_{DDL}$ ））を用いる回路の場合について説明する。たとえば $V_{DDH} = 5V$ 、 $V_{DDL} = 3.3V$ 、あるいは $V_{DDH} = 3.3V$ 、 $V_{DDL} = 2.0V$ 等の組み合わせを用いればよい。図1に示すように、本発明の第1の実施の形態に係るCMOS多電源集積回路は、高電位電源電圧

( $V_{DD}$ ) で動作する高電位基本セル ( $V_{DD}$  セル) を構成する p 型 MOS トランジスタ 3 と n 型 MOS トランジスタ 7 からなる CMOS と低電位電源電圧 ( $V_{DD}$ ) で動作する低電位基本セル ( $V_{DD}$  セル) を構成する p 型 MOS トランジスタ 5 と n 型 MOS トランジスタ 9 からなる CMOS とで構成されている。そして図 2 に示すように高電位基本セルと低電位基本セルとが、その境界線 111 を挟んで隣接して配置されている。第 1 の電源電圧となる高電位電源電圧 ( $V_{DD}$ ) を供給する高電位電源電圧供給線 27b とこれと一定の距離を保った第 2 の電源電圧となる低電位電源電圧 ( $V_{DD}$ ) を供給する低電位電源電圧供給線 27a とが高電位基本セル及び低電位基本セルの上部を貫通して配置されている。各電源電圧供給線から p 型 MOS トランジスタ 5 の p<sup>+</sup> ソース領域 21 への電源電圧の供給は、図 2 に示すように、層間絶縁膜の中に設けられるコンタクトホール 29a を介して p<sup>+</sup> ソース領域 21 と低電位電源電圧供給線 27a とを接続することにより行われる。高電位基本セルの第 1 の p 型 MOS トランジスタ 3 が形成されている第 1 の n ウェル 73 と低電位基本セルの第 2 の p 型 MOS トランジスタ 5 が形成されている第 2 の n ウェル 23 とは別個に設けられているが、この 2 つの n ウェルは高電位電源電圧供給線 27b を介して互いに同電位となるように接続されている。すなわち第 2 の n ウェル 23 中の第 2 の n<sup>+</sup> 型コンタクト領域 25 上に開孔されたコンタクトホール 29b、および第 1 の n ウェル 73 中の第 1 の n<sup>+</sup> 型コンタクト領域 78 上に開孔されたコンタクトホール 29c を介して互いに接続されている。コンタクトホール 29c は第 1 の n<sup>+</sup> 型コンタクト領域 78 の上部から、p<sup>+</sup> ソース領域 74 の上部に延びて形成され、一つのコンタクトホールで両者へのオーミックコンタクトを実現している。また p<sup>+</sup> 型ドレイン領域 19、75 の上部に設けられたコンタクトホール 29e、29f を介して p<sup>+</sup> 型ドレイン領域 19、75 が n 型 MOS トランジスタ 9、7 の n<sup>+</sup> 型ドレイン領域と接続されるべく、信号配線 27e、27f が形成されている (n 型 MOS トランジスタ 9、7 は、図 2 では図示を省略しているが、図 2 の下方に位置することになる)。

【0022】図 3 の断面図に示されるように第 1 の p 型 MOS トランジスタ 3 は、ゲートとなるポリシリコンゲート電極 71 と、ドレイン領域となる p<sup>+</sup> 型拡散層 75 と、ソース領域となる p<sup>+</sup> 型拡散層 74 と、第 1 の n ウェル 73 に電源電圧を供給するための第 1 の n<sup>+</sup> 型コンタクト領域 78 とを有している。同様に、第 2 の p 型 MOS トランジスタ 5 は、ゲートとなるポリシリコンゲート電極 17 と、ドレイン領域となる p<sup>+</sup> 型拡散層 19 と、ソース領域となる p<sup>+</sup> 型拡散層 21 と、第 2 の n ウェル 23 に電源電圧を供給するための第 2 の n<sup>+</sup> 型コンタクト領域 25 とを有している。第 1、第 2 の n ウェル 73、23 の周辺部にはフィールド酸化膜 91 が形成さ

れ、フィールド酸化膜 91 が形成されていない部分、すなわちフィールド酸化膜の窓部によりそれぞれのトランジスタ領域が画定されている。ポリシリコンゲート電極 71、17、フィールド酸化膜 91 等の上部には SiO<sub>2</sub> 膜、PSG 膜、BPSG 膜等から成る層間絶縁膜 92 が形成されている。ここまでは、本発明の前段階として本発明者らが検討した図 34 に示す多電源集積回路の構成と基本的には同様である。しかし、本発明の第 1 の実施の形態においては、低電位基本セルを構成する第 2 の p 型 MOS トランジスタ 5 が形成された第 2 の n ウェル 23 に低電位電源電圧 ( $V_{DD}$ ) を供給せずに、コンタクトホール 29b を介して第 2 の n<sup>+</sup> コンタクト領域 25 と高電位電源電圧供給線 27b とを互いにオーミック接触させ高電位電源電圧 ( $V_{DD}$ ) を供給しており、この点が、図 34 に示した構成とは異なる。まさに、この点が本発明の特徴なのであり、図 1、2 および 3 に示す構成により、図 34 に示した構成で問題となった 2 つの n ウェル間の電荷注入を抑制することができる。したがって回路の信頼性が向上し、同時にチップ面積の増大を防ぐことができる。

【0023】すなわち、本発明の第 1 の実施の形態においては、高電位基本セルを構成する第 1 の p 型 MOS トランジスタ 3 が配置された第 1 の n ウェル 73 及び低電位基本セルを構成する第 2 の p 型 MOS トランジスタ 5 が配置された第 2 の n ウェル 23 の両方に高電位電源電圧 ( $V_{DD}$ ) を供給することにより 2 つの n ウェルを同電位としている。つまり、第 1、第 2 の n ウェル 73、23 間の電位差が無いのでこの 2 つの n ウェル間の電荷注入が抑制されている。このため、高電位基本セルと低電位基本セルを図 34 に示すように一定間隔で離して、この間の電氣的抵抗を高くする必要は無いので、両者を近接して配置し、チップ面積の低減を図ることができるのである。

【0024】図 3 において、高電位基本セルを構成する第 1 の p 型 MOS トランジスタ 3 に対しては、その電源電圧である高電位電源電圧 ( $V_{DD}$ ) が p<sup>+</sup> ソース領域 74 に印加されるので、この点では図 34 と同様である。一方、低電位基本セルを構成する第 2 の p 型 MOS トランジスタ 5 においては、第 2 の n ウェル 23 には本来の電源電圧である低電位電源電圧 ( $V_{DD}$ ) が印加されずに、高電位電源電圧 ( $V_{DD}$ ) が印加されることとなるので、p<sup>+</sup> ソース領域 21 と第 2 の n ウェル 23 との間には電位差が生じることになる。しかしながら、この電位差は、p<sup>+</sup> ソース領域 21 と第 2 の n ウェル 23 との間に形成されるダイオード (pn 接合) B にとっては逆バイアスとなるので、この電位差によって p<sup>+</sup> ソース領域 21 - 第 2 の n ウェル 23 間に電流が流れることはなく、従って、第 2 の p 型 MOS トランジスタ 5 の動作には何ら影響を及ぼすことはない。

【0025】(第 2 の実施の形態) 図 4 は本発明の第 2

の実施の形態に係るCMOS多電源集積回路のp型MOSトランジスタ側のみを示す断面図である。この多電源集積回路は、第1の実施の形態と同様に2つの電源電圧（高電位電源電圧（ $V_{DDH}$ ）と低電位電源電圧（ $V_{DDL}$ ））を用いる回路である。第1の実施の形態で説明したように本発明は高電位側、低電位側の各nウェルに供給される電源電圧を同一の高電位電源電圧とすることをその特徴のひとつとしている。したがって図4に示すように高電位側、低電位側のnウェルを一つのnウェル53とすることができる。つまり第1の実施の形態における第1および第2のnウェル間の距離がゼロになった極限が本発明の第2の実施の形態である。第1および第2のnウェルが接触して一体のnウェル53を形成していると考えればよい。したがって本発明の第2の実施の形態においては隣接して配置された第1のp型MOSトランジスタ3と第2のp型MOSトランジスタ5、あるいは隣接して配置された高電位基本セルと低電位基本セルとを第1の実施の形態に示した集積回路と比べて一層近接して配置することが可能となる。

【0026】図4に示すように、本発明の第2の実施の形態に係る多電源集積回路は、p型基板1上に共通のnウェル53を形成し、このnウェル53内に高電位電源電圧（ $V_{DDH}$ ）で動作する高電位基本セル（ $V_{DDH}$ セル）を構成する第1のp型MOSトランジスタ3と低電位電源電圧（ $V_{DDL}$ ）で動作する低電位基本セル（ $V_{DDL}$ セル）を構成する第2のp型MOSトランジスタ5とが境界線111を挟んで隣接して配置されている。共通のnウェル53は共通のnウェル53に電源電圧を供給するためのn<sup>+</sup>型コンタクト領域55を備えている。そして、第1のp型MOSトランジスタ3は、ポリシリコンゲート電極71、p<sup>+</sup>型ドレイン領域75およびp<sup>+</sup>型ソース領域74とを有している。また同様に、第2のp型MOSトランジスタ5は、ポリシリコンゲート電極17、p<sup>+</sup>型ドレイン領域19、およびp<sup>+</sup>型ソース領域21とを有している。

【0027】そして、例えば、図5に示すように、（図4では図示を省略した）層間絶縁膜の中に設けられるコンタクトホール29bを介してnウェル53上に形成されたn<sup>+</sup>型コンタクト領域55と $V_{DDH}$ 電源電圧供給線27bとを接続することにより高電位電源電圧がnウェル53に供給される。p<sup>+</sup>型ドレイン領域75は信号配線81bを介してn型MOSトランジスタのn<sup>+</sup>型ドレイン領域275に接続され、p<sup>+</sup>型ドレイン領域19は信号配線81aを介してn型MOSトランジスタのn<sup>+</sup>型ドレイン領域219に接続されている。

【0028】本発明の第2の実施の形態においては、高電位基本セルを構成する第1のp型MOSトランジスタ3と低電位基本セルを構成する第2のp型MOSトランジスタ5が共に共通のnウェル53に形成され、このnウェル53に高電位電源電圧（ $V_{DDH}$ ）を供給している

で図34で問題となった2つのnウェル間の電位差は本来的に存在していない。したがってnウェル間の電荷注入の問題もなく、高電位基本セルと低電位基本セルをさらに近接して配置し、チップ面積の低減を図ることができる。

【0029】本発明の第2の実施の形態においては、高電位基本セルを構成する第1のp型MOSトランジスタ3のソース電圧に等しい高電位電源電圧（ $V_{DDH}$ ）が共通のnウェル53に印加されているので、高電位基本セルに関しては各部のポテンシャル分布は通常のp型MOSトランジスタと同じである。一方、低電位基本セルを構成する第2のp型MOSトランジスタ5においては、そのソース電圧である低電位電源電圧（ $V_{DDL}$ ）ではなく、高電位電源電圧（ $V_{DDH}$ ）が共通のnウェル53に印加されることとなるので、p<sup>+</sup>型ソース領域21と共通のnウェル53との間には電位差が生じることになる。しかしながら、この電位差は、p<sup>+</sup>型ソース領域21とnウェル53との間に形成されるダイオード（pn接合）Bにとっては逆バイアスとなるので、この電位差によってp<sup>+</sup>型ソース領域21-nウェル53間に電流が流れることはなく、従って、p型MOSトランジスタ5の動作には何ら影響を及ぼすことはないのである。

【0030】さらに、前述した第1および第2のnウェルを連続して形成し、nウェルを一つとすることをさらに発展して考えれば、必ずしもnウェルを形成する必要はなくなる。つまり、図6に示すようにn型基板11上に直接第1および第2のp型MOSトランジスタ3、5を形成することも可能となる。なお、図5においては、すべての電源供給線27a、27b、27gがゲートアレイを構成している各基本セル上に設けられているが、図7に示すように低電位電源供給線27aを縦方向に引き出しこの低電位電源供給線27aを配線チャネル107に配置することも可能である（配線チャネル107は図30も参照されたい）。したがって、従来技術で用いられているゲートアレイの基本セルに何ら設計変更を加えることなくそのまま利用することができる。

【0031】（第3の実施の形態）次に、図8～11を用いて本発明の第3の実施の形態に係るCMOS多電源集積回路について説明する。第1および第2の実施の形態と同様にCMOSを構成するトランジスタのうちp型MOSトランジスタ側の構造のみについて説明する。本発明の第3の実施の形態は、第1又は第2の実施の形態で説明した多電源集積回路において、低電位電源電圧で動作する第2のp型MOSトランジスタのしきい値電圧 $V_{th}$ を予め所定値だけ低く設定しておくことにより、第2のp型MOSトランジスタにおける信号遅延を少なくし、それにより、回路の動作速度を向上させるものである。すなわち、前述した図2および図3等に示す第2のp型MOSトランジスタ5において、その動作時にはソース電圧 $V_s = V_{DDL}$ 、nウェル電圧 $V_w = V$

であることから、ソース-nウェル間の電圧 $V_{ss} = V_{DD} - V_{DD}$  ( $>0$ )となる。従って、この第2のp型MOSトランジスタ5には「基板バイアス効果」が生ずることとなる。ここで、「基板バイアス効果」とは、一般に、MOSトランジスタのソースと基板(ウェル構造である場合にはそのウェル)の間に逆バイアスを印加したときに、しきい値電圧 $V_{th}$ の絶対値がその逆バイアス電圧値に応じた分だけ上昇する効果をいう。基板バイアス効果により、第2のp型MOSトランジスタ5においても、そのしきい値電圧 $V_{th}$ が上記 $V_{ss} = V_{DD} - V_{DD}$ に応じた分だけその絶対値が上昇する。つまり、第2のp型MOSトランジスタ5のしきい値電圧 $V_{th}$ は基板バイアス効果により負方向に増大することになる。このしきい値電圧 $V_{th}$ の絶対値の増大は、同じ電源電圧と比較すれば、ドレイン電流の減少を招くこととなり、その結果、信号の伝達時間を長くしてしまうのである。

【0032】このため、本発明の第3の実施の形態は、上記 $V_{ss}$ により上昇するしきい値電圧 $V_{th}$ の絶対値の上昇分を予め見積もり、その見積もった値だけその絶対値が小さくなるようにしきい値電圧 $V_{th}$ を設定した構造を用いている。つまり、基板バイアス効果によるしきい値電圧 $V_{th}$ の絶対値の上昇を相殺し、ドレイン電流の減少が生じない構造としているので信号遅延時間を短くすることが可能となり、従って、回路の動作速度を向上させることができるのである。

【0033】図8は本発明の第3の実施の形態に係る多電源集積回路の具体的構造を示す断面図である。この多電源集積回路は、第1の実施の形態と同様に2つの電源電圧(高電位電源電圧( $V_{DD}$ )と低電位電源電圧( $V_{DD}$ ))を用いる回路である。図8に示すようにp型シリコン(100)基板1の上部に第1、第2のnウェル73、73が形成されている。フィールド酸化膜91が除去された、フィールド酸化膜の窓部により2つのトランジスタ領域が画定され、この2つのトランジスタ領域に高電位基本セルを構成する第1のp型MOSトランジスタ3のp<sup>+</sup>ドレイン領域75、p<sup>+</sup>ソース領域74、および低電位基本セルを構成する第2のp型MOSトランジスタ61のp<sup>+</sup>ドレイン領域19、p<sup>+</sup>ソース領域21がそれぞれ形成されている。さらにソース・ドレイン領域の間のチャネル領域の上部に形成されたゲート酸化膜の上にポリシリコンゲート電極71、71が形成されている。フィールド酸化膜91およびポリシリコンゲート電極71、71の上部にはSiO<sub>2</sub>膜、PSG膜、BPSG膜等の層間絶縁膜92が堆積されている。図8に示した層間絶縁膜92の上面は凹凸があるが、この上面は必要があれば化学的機械研磨(CMP)法等により平坦化してもよい。この層間絶縁膜92の上部にはAl、Al-Si、Al-Cu-Si等からなる高電位電源電圧供給線27bが形成されている。層間絶縁膜92中に形成されたコンタクトホール29b、29cを介し

てnウェル23、73には高電位電源電圧( $V_{DD}$ )が印加される。図示を省略しているが、p<sup>+</sup>ドレイン領域75、19は所定のコンタクトホールを介して所定の金属配線によりn型MOSトランジスタのn<sup>+</sup>型ドレイン領域に接続されている。又、p<sup>+</sup>型ソース領域21には低電位電源電圧供給線が接続されている。本発明の第3の実施の形態においては、第2のp型MOSトランジスタ61のしきい値電圧 $V_{th}$ の絶対値を低くするために、ポリシリコンゲート電極17の直下にイオン注入を行ないしきい値を制御している。図8に示すように第2のp型MOSトランジスタ61のチャネル領域59にnウェル23と反対の導電型であるp型不純物(ホウ素(B<sup>+</sup>)等)イオンを所定のドーズ量を選定して、所定のエネルギーでイオン注入することにより、しきい値電圧 $V_{th}$ の絶対値を目的の値にまで低下させることができる。また、その他の方法としては、図9に示すように低電位基本セルを構成する第2のp型MOSトランジスタ62のゲート長を高電位基本セルを構成する第1のp型MOSトランジスタ3に比して短くしてもよい。

【0034】図10および11は共通のnウェル53中に低電位基本セルを構成する第2のp型MOSトランジスタ63、64、高電位基本セルを構成する第1のp型MOSトランジスタ3を形成した場合である。図10はコンタクトホール29dを介して、図11ではコンタクトホール29bを介してnウェル53に高電位電源電圧( $V_{DD}$ )が印加されている。図10に示すように第2のp型MOSトランジスタ63のゲート酸化膜99の厚さを第1のp型MOSトランジスタ3のゲート酸化膜98の厚さに比して薄くしてもよい。又、図11に示すように第2のp型MOSトランジスタ64のゲート幅を第1のp型MOSトランジスタ3のゲート幅より長くしてドレイン電流の低下を補償してもよい。

【0035】図12および13は本発明の第3の実施の形態の他の変形例に係る多電源集積回路の断面図で、n型基板11上に第1および第2のp型MOSトランジスタ3、および65、66を形成した場合である。図12においては第2のp型MOSトランジスタ65のゲート長を第1のp型MOSトランジスタ3のゲート長より短くしてゲートしきい値電圧 $V_{th}$ を調整している。図13においては第2のp型MOSトランジスタ66のゲート酸化膜99の厚さを第1のp型MOSトランジスタ3のゲート酸化膜98の厚さよりも薄くしてゲートしきい値電圧を調整している。このように低電位セル側となる第2のp型MOSトランジスタのゲートしきい値電圧を高電位セル側となる第1のp型MOSトランジスタのゲートしきい値電圧に対して調整することにより信号遅延を防止し、回路の動作速度の向上をはかることができる。

【0036】(第4の実施の形態)次に、本発明の第4の実施の形態に係る多電源集積回路システムについて説明する。本発明の第4の実施の形態は、第1～第3の実



施の形態で説明した多電源集積回路において、低電位電源電圧で動作するp型MOSトランジスタに印加される2つの電源電圧（高電位電源電圧（ $V_{DDH}$ ）と低電位電源電圧（ $V_{DDL}$ ））が常に一定の順序で印加されるように構成している。すなわち、図14に示す第2のp型MOSトランジスタ5において、2つの電源電圧の立ち上がり時間に時間差が発生し、第2のp型MOSトランジスタ5のp<sup>+</sup>ソース領域21にのみ低電位電源電圧

（ $V_{DDL}$ ）が印加され、第2のnウェル23には高電位電源電圧（ $V_{DDH}$ ）が未だ印加されていない状態が生じた場合、p<sup>+</sup>ソース領域-nウェル間には順バイアスが印加されることになる。この順バイアスは、p<sup>+</sup>ソース領域-nウェル間に電流を流し、第2のp型MOSトランジスタ5の誤動作を招く原因となるものであり、従って、システム設計者は、かかる状態が発生しないように、2つの電源電圧（ $V_{DDH}$ 、 $V_{DDL}$ ）を印加する順序を考慮してシステムを構築する必要が生じ、システム設計が煩雑となる。

【0037】しかし、本発明の第4の実施の形態では、p<sup>+</sup>ソース領域-nウェル間に順バイアスが印加されることがないように、図15（a）に示すように、外部から供給される高電位電源電圧（ $V_{DDH}$ ）と低電位電源電圧（ $V_{DDL}$ ）を電源電圧制御回路33を介して半導体チップ1上に設けられた高電位電源電圧パッド35及び低電位電源電圧パッド37のそれぞれに接続している。つまり、電源電圧制御回路33により、半導体チップ1に、常に、最初に第1の電源電圧となる高電位電源電圧を印加し、その後第2の電源電圧となる低電位電源電圧を印加するように制御を行うことにより、上述したようなp<sup>+</sup>ソース領域-nウェル間に順バイアスが印加されることを防いでいる。従って、システム設計者は2つの電源電圧の印加順序を考慮する必要はなく、容易にシステムの設計を行うことができる。ここで、電源電圧制御回路33としては、例えば、上記の順序制御機能を持ったDC-DCコンバータを利用することができる。

【0038】図15（b）は本発明の第4の実施の形態の半導体集積回路システムの変形例の模式図で、電源電圧制御回路33に外部から高電位電源電圧のみを供給している。電源電圧制御回路33としてDC-DCコンバータを用い、このDC-DCコンバータの内部で低電位電源電圧を発生させ、半導体チップ1上の高電位電源電圧パッド35に高電位電源電圧（ $V_{DDH}$ ）を、低電位電源電圧パッド37に低電位電源電圧（ $V_{DDL}$ ）を供給している。そして電源電圧制御回路33により、常に先に高電位電源電圧（ $V_{DDH}$ ）が印加され、その後低電位電源電圧が印加されるように制御されている。したがってシステム設計に際し、設計者は改めて2つの電源電圧（ $V_{DDH}$ 、 $V_{DDL}$ ）の印加順序を考慮する必要はなく、システム設計が容易となる。

【0039】図16（a）および（b）は本発明の第4

の実施の形態のさらに他の変形例に係り、電源電圧制御回路33を半導体チップと同一チップ上に搭載した場合である。図16（a）においては2つの電源電圧（ $V_{DDH}$ 、 $V_{DDL}$ ）を受けるために2つのボンディングパッド35、37が設けられているが、図16（b）においては電源電圧制御回路33にはボンディングパッド35を介して高電位電源電圧（ $V_{DDH}$ ）のみが供給されている。図16（b）においては、DC-DCコンバータ等を用い、電源電圧制御回路33の内部で低電位電源電圧（ $V_{DDL}$ ）を発生させ、低電位電源電圧供給線27aと高電位電源電圧供給線27bを介して内部回路を構成している基本セル103に2つの電源電圧（ $V_{DDH}$ 、 $V_{DDL}$ ）を所定の順番で供給している。

【0040】（第5の実施の形態）上記第1～第4の実施の形態においては、2つの電源電圧の場合について述べたが、本発明は電源電圧の数を2つに限るものではなく、複数の電源電圧を利用する多電源集積回路においても同様に当てはまるものである。したがって、図17に示すように、3つの電源電圧（ $V_{DDH}$ 、 $V_{DDM}$ 、 $V_{DDL}$ ）の場合には、第1の電源電圧となる最も電圧の高い電源電圧（ $V_{DDH}$ ）を共通のnウェル54に対して高電位電源電圧供給線27bを用いて供給すればよい。たとえば $V_{DDL} = 1.5V$ 、 $V_{DDM} = 2.0V$ 、 $V_{DDH} = 3.3V$ 、あるいは $V_{DDL} = 1.9V$ 、 $V_{DDM} = 3.3V$ 、 $V_{DDH} = 5V$ 等の組み合わせで良い。以下の説明では中電位電源電圧（ $V_{DDM}$ ）を第3の電源電圧、低電位電源電圧（ $V_{DDL}$ ）を第2の電源電圧として説明するが、 $V_{DDM}$ を第2の電源電圧、 $V_{DDL}$ を第3の電源電圧としても発明の本質を変えるものではない。

【0041】すなわち本発明の第5の実施の形態は第1、第2および第3の3つの電源電圧を3つのp型MOSトランジスタに供給する場合である。nウェルは図17に示すように共通のnウェル54でもよく、図18に示すように独立した第1、第2、第3の3つのnウェル73、23、43とから構成してもよい。この場合も第3のp型MOSトランジスタ4のp<sup>+</sup>型ソース領域44と第3のnウェル43間に形成されるダイオードB<sub>3</sub>および第2のp型MOSトランジスタ5のp<sup>+</sup>型ソース領域21と第2のnウェル23間に形成されるダイオードB<sub>2</sub>は逆バイアスされるので、何ら第2、第3のp型MOSトランジスタ5、4の動作に不都合は生じない。図18においてはこの逆バイアス電圧に相当する基板バイアス効果によるゲートしきい値電圧 $V_{th}$ の絶対値の増大を補償するためにチャネル領域58、59にボロン（<sup>11</sup>B<sup>+</sup>）等のp型不純物をイオン注入してゲートしきい値電圧 $V_{th}$ を調整している。基板バイアス効果に対しては第2、第3のp型MOSトランジスタ5、4のゲート長、ゲート酸化膜の厚さ等を調整してゲートしきい値電圧 $V_{th}$ を調整してもよいことはもちろんである。またゲート幅を変えることによりドレイン電流の減少分を補償

してもよい。

【0042】図19は共通のnウェル54中に3つのp型MOSトランジスタ3, 4, 5が形成された多電源集積回路の断面図である。3つのp型MOSトランジスタのそれぞれのp<sup>+</sup>型ソース領域74, 44, 21にはそれぞれ3つの電源電圧 $V_{DDH}$ ,  $V_{DDM}$ ,  $V_{DDL}$ が印加される。共通のnウェル54中に設けられたn<sup>+</sup>型コンタクト領域55を介して共通のnウェル54に高電位電源電圧 $V_{DDH}$ が印加されている。図20はn型基板11中にp型MOSトランジスタ3, 4, 5を形成した場合である。図19, および図20においても $V_{DDH}$ と $V_{DDM}$ との差、 $V_{DDM}$ と $V_{DDL}$ との差に起因した基板バイアス効果をイオン注入によるチャネルドープやゲート酸化膜の厚み、ゲート長、ゲート幅の制御により調整すればp型MOSトランジスタの動作速度の低下を回避できる。

【0043】図21(a)および(b)は高電位系、中電位系、低電位系のp型MOSトランジスタに供給される電源電圧 $V_{DDH}$ ,  $V_{DDM}$ ,  $V_{DDL}$ の供給順序を制御する電源電圧制御回路33を具備した回路システムを示す図である。半導体チップ1上に設けられた高電位電源電圧パッド35、中電位電源電圧パッド36、低電位電源電圧パッド37に対して常に最初に高電位電源電圧 $V_{DDH}$ が印加され図18, 19および20に示したダイオード $B_{DH}$ ,  $B_{DL}$ が順バイアスされないようにしている。図21(a)は電源電圧制御回路33に3つの電源電圧 $V_{DDH}$ ,  $V_{DDM}$ ,  $V_{DDL}$ を入力する場合であるが、DC-DCコンバータ等を用いて順序制御する場合は図21(b)に示すように入力としては $V_{DDH}$ のみとし、DC-DCコンバータで $V_{DDM}$ ,  $V_{DDL}$ を生成してもよい。また図22に示すように同一半導体チップ1上に電源電圧制御回路33を搭載してもよい。

【0044】(第6の実施の形態)以上の説明においてはCMOSを構成するp型MOSトランジスタについて説明して来たが、本発明はCMOS中のn型MOSトランジスタについても同様に適用できる。

【0045】図23は、ゲートアレイ方式により設計した本発明の第6の実施の形態に係るCMOS多電源集積回路の一部を示す等価回路で、図24は図23の等価回路に示すCMOSを含む集積回路の平面図で、図25は図24のII-II方向から見た模式的な断面図である。簡単化のため、ここでは多電源集積回路として2つの電源電圧(高電位電源電圧( $V_{SSH}$ )と低電位電源電圧( $V_{SSL}$ ))を用いる回路の場合について説明する。図23に示すように、本発明の第6の実施の形態に係るCMOS多電源集積回路は、p型MOSトランジスタ43と、n型MOSトランジスタ47からなるCMOSと、p型MOSトランジスタ45とn型MOSトランジスタ49からなるCMOSとで構成されている。第6の実施の形態においては各CMOSに印加される電圧は $V_{DD}$ を基準として測られるので $V_{SSL}$ が印加されるn型MOSTラ

ンジスタ49が配置されるセルが高電位基本セルとなり、 $V_{SSH}$ が印加されるn型MOSTランジスタ47が配置されるセルが低電位基本セルとなる。そして図24に示すように高電位基本セルと低電位基本セルとが、その境界線111を挟んで隣接してp型基板1内に配置されている。第1の電源電圧となる低電位電源電圧( $V_{SSL}$ )を供給する低電位電源電圧供給線27vとこれと一定の距離を保った第2の電源電圧となる高電位電源電圧( $V_{SSH}$ )を供給する高電位電源電圧供給線27uとが高電位基本セル及び低電位基本セルの上部を貫通して配置されている。図25に示すようにp型基板1はp型基板1に電源電圧を供給するためのp<sup>+</sup>型コンタクト領域235を備えている。そして、第1のn型MOSトランジスタ49は、ポリシリコンゲート電極242、n<sup>+</sup>型ドレイン領域219およびn<sup>+</sup>型ソース領域209とを有している。また同様に、第2のn型MOSトランジスタ47は、ポリシリコンゲート電極241、n<sup>+</sup>型ドレイン領域275、およびn<sup>+</sup>型ソース領域265とを有している。

【0046】そして、例えば、図24および25に示すように、層間絶縁膜の中に設けられるコンタクトホール29wを介してp型基板1上に形成されたp<sup>+</sup>型コンタクト領域235と $V_{SSL}$ 電源電圧供給線27vとを接続することにより低電位電源電圧がp型基板1に供給される。n<sup>+</sup>型ドレイン領域275は信号配線81bを介してp型MOSトランジスタ43のp<sup>+</sup>型ドレイン領域79に接続され、n<sup>+</sup>型ドレイン領域219は信号配線81aを介してp型MOSトランジスタ45のp<sup>+</sup>型ドレイン領域77に接続されている。

【0047】本発明の第6の実施の形態においては、高電位基本セルを構成する第1のn型MOSトランジスタ49と低電位基本セルを構成する第2のn型MOSトランジスタ47が共にp型基板1中に形成され、このp型基板1に低電位電源電圧( $V_{SSL}$ )を供給しているで2つのpウェル間の電荷注入の問題は本来的に存在しない。このため、高電位基本セルと低電位基本セルをリソグラフィー上許される限界まで近接して配置し、チップ面積の低減を図ることができる。

【0048】本発明の第6の実施の形態においては、高電位基本セルを構成する第1のn型MOSトランジスタ49のソース電圧に等しい低電位電源電圧( $V_{SSL}$ )がp型基板1に印加されているので、高電位基本セルに関しては各部のポテンシャル分布は通常のn型MOSトランジスタと同じである。一方、低電位基本セルを構成する第2のn型MOSトランジスタ47においては、そのソース電圧である高電位電源電圧( $V_{SSH}$ )ではなく、低電位電源電圧( $V_{SSL}$ )がp型基板1に印加されることとなるので、n<sup>+</sup>型ソース領域265とp型基板1との間には電位差が生じることになる。しかしながら、この電位差は、n<sup>+</sup>型ソース領域265とp型基板1との

間に形成されるダイオードB。にとっては逆バイアスとなるので、この電位差によって $n^+$ 型ソース領域265-p型基板1間に電流が流れることはなく、従って、 $n$ 型MOSトランジスタ47の動作には何ら影響を及ぼすことはないのである。

【0049】図26は本発明の第6の実施の形態の変形例に係るCMOS多電源集積回路の $n$ 型MOSトランジスタ側のみを示す模式的な断面図である。図26においては第1の $n$ 型MOSトランジスタ49は第1の $p$ ウェル331中に形成され、第2の $n$ 型MOSトランジスタ47は第2の $p$ ウェル332中に形成されている。このように高電位基本セルの第1の $n$ 型MOSトランジスタ49が形成されている第1の $p$ ウェル331と低電位基本セルの第2の $n$ 型MOSトランジスタ47が形成されている第2の $p$ ウェル332とは別個に設けられているが、この2つの $p$ ウェルは低電位電源電圧供給線を介して互いに同電位となるように接続されている。すなわち第2の $p$ ウェル332中の第2の $p^+$ 型コンタクト領域278上に開孔されたコンタクトホール、および第1の $n$ ウェル331中の第1の $p^+$ 型コンタクト領域225上に開孔されたコンタクトホールを介して互いに接続されている。つまり、第1、第2の $p$ ウェル231、232間の電位差が無いのでこの2つの $p$ ウェル間の電荷注入が抑制されている。このため、高電位基本セルと低電位基本セルを一定間隔で離して、この間の電気的抵抗を高くする必要は無いので、両者を近接して配置し、チップ面積の低減を図ることができるのである。

【0050】図26において、高電位基本セルを構成する第1の $n$ 型MOSトランジスタ49に対しては、その電源電圧である低電位電源電圧( $V_{ssl}$ )が $n^+$ 型ソース領域209に印加されるので、この点では通常の $n$ 型MOSトランジスタのバイアス関係と同様である。一方、低電位基本セルを構成する第2の $n$ 型MOSトランジスタ275においては、第2の $n$ ウェル332には本来の電源電圧である高電位電源電圧( $V_{ssH}$ )が印加されず、低電位電源電圧( $V_{ssl}$ )が印加されることとなるので、 $n^+$ 型ソース領域265と第2の $p$ ウェル332との間には電位差が生じることになる。しかしながら、この電位差は、 $n^+$ 型ソース領域265と第2の $p$ ウェル332との間に形成されるダイオードB。にとっては逆バイアスとなるので、この電位差によって $n^+$ 型ソース領域265-第2の $p$ ウェル332間に電流が流れることはなく、従って、第2の $n$ 型MOSトランジスタ47の動作には何ら影響を及ぼすことはない。第1の $p$ ウェル331および第2の $p$ ウェル332間には電位差がないので両者を接触させ共通の $p$ ウェルを構成してもよいことはもちろんである。

【0051】以上の説明においてはCMOS多電源集積回路について説明して来たが、本発明は $n$ 型MOSトランジスタ(以下「 $n$ MOS」という)のみからなる多電

源集積回路についても同様に適用できる。図27(a)は本発明の第6の実施の形態の他の変形例としてエンハンスメント型(以下「E型」という) $n$ MOS203とE型 $n$ MOS207からなる高電位基本セルとE型 $n$ MOS205とE型 $n$ MOS209からなる低電位基本セルとが隣接して配置されたE/E構成の等価回路を示す。E型 $n$ MOS203、205のゲート電極は自己のソース電極に直結されている。図27(b)はさらに他の変形例としてディプリーション型(以下「D型」という) $n$ MOS204とE型 $n$ MOS207とからなる高電位セルと、D型 $n$ MOS206とE型 $n$ MOS209とからなる低電位セルとが隣接して配置されたE/D構成の等価回路を示す。

【0052】図28は図27(a)に示すE/E構成において、負荷側のトランジスタとなるE型 $n$ MOS203およびE型 $n$ MOS205についてのみ着目した断面図である。図28の断面図に示されるようにE型 $n$ MOS(第2の $n$ 型MOSトランジスタ)203は、ゲートとなるポリシリコンゲート電極241と、ドレイン領域となる $n^+$ 型拡散層231と、ソース領域となる $n^+$ 型拡散層232とを有している。同様に、E型 $n$ MOS205(第1の $n$ 型MOSトランジスタ)は、ゲートとなるポリシリコンゲート電極242と、ドレイン領域となる $n^+$ 型拡散層233と、ソース領域となる $n^+$ 型拡散層234とを有している。

【0053】第2のE型 $n$ MOS203および第1のE型 $n$ MOS205は所定の半導体基板211に形成された共通の $p$ ウェル212等の $p$ 型半導体領域中に共に形成されている。半導体基板211は $n$ 型基板でも $p$ 型基板でもかまわない。そして $p$ ウェル212中に形成された $p^+$ 型コンタクト領域235に低電位電源電圧( $V_{ssl}$ )が印加されている。図28において、低電位基本セルを構成する第1のE型 $n$ MOS205においては、その電源電圧である低電位電源電圧( $V_{ssl}$ )が $n^+$ 型ソース領域234に印加されるので、通常の $n$ MOSのバイアス関係と同様である。一方、高電位基本セルを構成する第2のE型 $n$ MOS203においては、 $p$ ウェル212には本来の電源電圧である高電位電源電圧( $V_{ssH}$ )が印加されず、低電位電源電圧( $V_{ssl}$ )が印加されることとなるので、 $n^+$ 型ソース領域232と $p$ ウェル212との間には電位差が生じることになる。しかしながら、この電位差は、 $n^+$ 型ソース領域232と $p$ ウェル212との間に形成されるダイオード( $p$ - $n$ 接合)B。にとっては逆バイアスとなるので、この電位差によって $n^+$ 型ソース領域232-pウェル212間に電流が流れることはなく、従ってE型 $n$ MOS203に対し何ら影響を及ぼすことはない。図28では半導体基板211中に設けられた $p$ ウェル212に対して第1、第2のE型 $n$ MOS205、203を配置したが、 $p$ ウェル212のかわりに他の $p$ 型半導体領域、たとえば $p$

型基板を用いてもよいことは第2の実施の形態と同様である。又第1、第2のE型nMOS205、203をそれぞれ別個の第1、第2のpウェル(p型半導体領域)中に形成してもよいことは第1の実施の形態と同様である。より一般的には第1、第2のnMOS205、203を第1、第2のp型半導体領域に形成してもよく、この第1、第2のp型半導体領域を接触させ一体として共通のp型半導体領域としてもよい。本発明の第6の実施の形態においては、第2のnMOS47、203には $V_{DDH} - V_{DDL}$ 、相当分の基板バイアス効果が生じるが、これは第3の実施の形態と同様にチャネルドーピング注入やゲート長の調整等によりしきい値電圧を調整すればよい。

【0054】さらに第5の実施の形態と同様に3つの電源電圧( $V_{DDH}$ 、 $V_{DDM}$ 、 $V_{DDL}$ )で動作する3つのnMOSを隣接して配置してもよい。また第4の実施の形態で説明したように電源電圧( $V_{DDH}$ 、 $V_{DDL}$ )、( $V_{DDH}$ 、 $V_{DDM}$ 、 $V_{DDL}$ )の印加順序を規定する電源電圧制御回路を同一チップ上、又はチップ外に設けた回路システムとすれば、システム設計が容易となる。

【0055】上記のように、本発明は第1乃至第6の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。図29はそのような代替実施の形態の一例としての4入力NANDゲートを示す。この代替実施の形態の一例としての4入力NANDゲートはゲートアレイの配線チャンネル格子を構成する線X8、X3、X5、X4に沿った金属配線(信号配線)の端部をそれぞれ入力端子A、B、C、Dとして、入力端子Aは高電位基本セル103aを構成するnMOS1aおよびpMOS2aのゲートポリシリコン領域71に接続されている。入力端子Bは高電位基本セル103aを構成するnMOS1bおよびpMOS2bのゲートポリシリコン領域71に接続されている。入力端子Cは高電位基本セル103bを構成するnMOS1aおよびpMOS2aのゲートポリシリコン領域71に、入力端子Dは高電位基本セル103bを構成するnMOS1bおよびpMOS2bのゲートポリシリコン71に接続されている。図示を省略しているが高電位基本セル103aの最近接の上方には境界線111を挟んで低電位基本セルが配置されている。線X9に沿って高電位( $V_{DDH}$ )電源供給線27bが形成され、pMOS2a、2bのp<sup>+</sup>ソース領域74およびnウェルのn<sup>+</sup>型コンタクト領域55に接続され、4つのpMOSを並列接続している。ここでnウェルは高電位基本セルのpMOS2a、2bと共に、図示を省略した低電位基本セルのpMOSを形成するための共通のnウェルである。そして線X10に沿って低電位( $V_{DDL}$ )電源供給線27aが配置され、低電位基本セルのpMOSのp<sup>+</sup>

ソース領域に低電位電源電圧( $V_{DDL}$ )を供給している。

【0056】さらに、線X2に沿ってVSS電源供給線27sが形成され、nMOS1bのn<sup>+</sup>ソース領域76およびpウェルのp<sup>+</sup>型コンタクト領域79に接続されている。pウェルは上述の共通のnウェルの左側に隣接して配置され、nMOS1a、1bを形成している。線X7に沿った信号配線の端部が出力端子Zとなり、この出力端子Zが4つのpMOS2a、2bの各p<sup>+</sup>ドレイン領域75および1つのnMOS1aのn<sup>+</sup>ソース領域76に接続されている。4つのnMOS1a、1bは線X3に沿った配線86を用いて互いに直列接続されている。図29に示す4入力NANDゲートだけに着目した等価回路表示は基本的には図33と同じである。入力端子A、B、C、Dはゲートアレイを形成している前段の機能ブロックに、出力端子Zは後段の機能ブロックに所定の配線により接続されている。これら前段又は後段の機能ブロックとしては低電位基本セルの機能ブロックでもよい。また高電位電源供給線27b、低電位電源供給線27a、およびVSS電源供給線27sは図示を省略した他の機能ブロックの上部に延長されゲートアレイの共通の電源配線となっている。このようにゲートアレイを構成している種々の機能ブロックの機能、役割、特性を詳細に検討し、たとえばクリティカルパス上にあるか否か等、その特性に合わせて高電位基本セル又は低電位基本セルのいずれかに分類し、配置できる。しかもこれらの高電位基本セルと低電位基本セルを最近接の位置に配置し、その間隔を極限まで短くできる。したがってLSIチップ全体として、低消費電力・高速動作を可能にしながら、ゲートアレイを構成するセル列を横方向に縮小し、チップ面積を縮小できる。

【0057】第5の実施の形態では3種の電源電圧を用いる多電源集積回路について述べたが、さらに4種以上の電源電圧を用いる多電源集積回路に適用してもよい。また上記第1～第5の実施の形態においてはnウェル-p基板構造およびn基板構造について述べたが、pウェル-n基板構造や、ツインウェル構造についても同様にあてはまることは、上記説明から容易に理解できるであろう。第6の実施の形態ではCMOS中のnMOSおよびE/E構成、E/D構成のnMOSについて説明したが、これ以外の構成によるnMOSからなる論理ゲートや、p型MOSトランジスタを含むnMOS論理ゲートに適用できることはもちろんである。このように、本発明はここでは記載していない様々な実施の形態および実施例を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な、特許請求の範囲記載の発明特定事項によってのみ限定されるものである。

【0058】

【発明の効果】以上説明したように、本発明によれば、高速特性が要求される第1のp型MOSトランジスタに

高電位電源電圧を供給し、クリティカルパス上にない等により比較的高速特性が要求されない第2のp型MOSトランジスタに低電位電源電圧を供給し、高速・低消費電力性能を担保すると同時に、低電位電源電圧で動作する第2のp型MOSトランジスタのnウェルと高電位電源電圧で動作する第1のp型MOSトランジスタのnウェルとを最近接の位置に配置し、これらのnウェルの間には電位差が生じないようにできる。つまり、2つのnウェル間を一定の距離だけ離間しなくてもこのnウェル間の電荷注入を抑制し、回路の信頼性を向上させ、かつチップ面積の縮小化又は集積密度の向上が可能となる。

【0059】さらに、同一のセル列の第1のp型MOSトランジスタと第2のp型MOSトランジスタを同一のnウェル内に形成し、この同一のnウェルの電位を高電位電源電圧とすることにより、ゲートアレイを構成するセル列をより一層横方向に縮小することができ、チップ面積の縮小をさらに図ることができる。また、第1のp型MOSトランジスタと第2のp型MOSトランジスタを直接n型基板上に形成することも可能である。またn型MOSトランジスタによっても同様な構成ができる。したがって、高速、低消費電力、高集積密度のLSIのセミカスタム設計において、その設計の自由度が増大する。

【0060】また、低電位基本セルを構成する第2のp型MOSトランジスタのしきい値電圧を、第2のp型MOSトランジスタの動作時に生じるしきい値電圧の低下分を見込んで決定すれば、第2のp型MOSトランジスタの動作時に生じる基板バイアス効果によるしきい値電圧の絶対値の上昇を相殺することができるので、第2のp型MOSトランジスタの信号遅延を防ぐことができ、従って、回路の動作速度を向上させることができる。

【0061】さらに、本発明によれば電源電圧制御回路を設け第2のp型MOSトランジスタの形成されているnウェルに高電位電源電圧を印加した後にそのp<sup>+</sup>ソース領域に低電位電源電圧を印加する等のように複数の電源電圧の印加順序をハードウェア構成としてあらかじめ準備できるので、この多電源集積回路を利用してシステムを構成する際に、複数の電源電圧の印加順序を規定する必要がなく、従って、システム設計を容易とすることができる。

【0062】また本発明によれば、CMOSを構成するnMOS側やnMOS論理回路中のnMOSを多電源化することも可能である。つまり、低電圧を自己のソースに印加した第1のnMOSおよび高電圧を自己のソースに印加して動作する第2のnMOSを隣接して配置することも可能となるので、高速、低消費電力で高集積密度のCMOS論理回路やnMOS論理回路およびこれを用いたシステムが提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るCMOS多電

源集積回路の一部を示す等価回路図である。

【図2】図1に示したCMOS多電源集積回路のp型トランジスタ側のみを示した平面図である。

【図3】図2の1-1方向から見た断面図である。

【図4】本発明の第2の実施の形態に係る多電源集積回路の断面図である。

【図5】本発明第2の実施の形態に係る多電源集積回路の平面図である。

【図6】本発明の第2の実施の形態の変形例に係る多電源集積回路の断面図である。

【図7】配線チャンネルに電源供給線を配置した場合の平面図である。

【図8】本発明の第3の実施の形態に係る多電源集積回路の断面図である。

【図9】本発明の第3の実施の形態に係る多電源集積回路の変形例の断面図である。

【図10】本発明の第3の実施の形態に係る多電源集積回路の他の変形例の断面図である。

【図11】本発明の第3の実施の形態に係る多電源集積回路のさらに他の変形例の平面図である。

【図12】本発明の第3の実施の形態に係る多電源集積回路のさらに他の変形例の断面図である。

【図13】本発明の第3の実施の形態に係る多電源集積回路のさらに他の変形例の断面図である。

【図14】本発明の第4の実施の形態に係る多電源集積回路システムに用いる半導体チップの一部の断面図である。

【図15】本発明の第4の実施の形態に係る多電源集積回路システムを示す模式的な平面図である。

【図16】本発明の第4の実施の形態に係る多電源集積回路システムの電源電圧制御回路を同一チップ上に搭載した半導体チップの一部を示す平面図である。

【図17】本発明の第5の実施の形態に係る3電源集積回路の一部を示す平面図である。

【図18】本発明の第5の実施の形態の変形例に係る断面図である。

【図19】本発明の第5の実施の形態の他の変形例に係る断面図である。

【図20】本発明の第5の実施の形態のさらに他の変形例に係る断面図である。

【図21】本発明の第5の実施の形態のさらに他の変形例に係る平面図である。

【図22】本発明の第5の実施の形態のさらに他の変形例に係る平面図である。

【図23】本発明の第6の実施の形態に係るCMOS多電源集積回路のn型MOSトランジスタ側を2電源とした場合の等価回路図である。

【図24】本発明の第6の実施の形態に係るCMOS多電源集積回路の平面図である。

【図25】図24のn型MOSトランジスタのII-II方

10

20

30

40

50

向から見た断面図である。

【図26】本発明の第6の実施の形態の変形例に係るn型MOSトランジスタの断面図である。

【図27】図27(a)は本発明の第6の実施の形態のさらに他の変形例に係るE/E構成のnMOS多電源集積回路の一部を示す等価回路図で、図27(b)はE/D構成のnMOS多電源集積回路の一部を示す等価回路図である。

【図28】図27(a)の負荷側のn型MOSトランジスタのみを示す断面図である。

【図29】本発明の代替実施の形態の一例としての4入力NANDゲートを示す平面図である。

【図30】従来のゲートアレイ方式の半導体集積回路を示す模式的な平面図である。

【図31】図30のゲートアレイを構成する基本セルの一部を示す平面図である。

【図32】図31の基本セル上に金属配線を配置して論理機能ブロックを構成した場合の平面図である。

【図33】図32の論理機能ブロックとしての4入力NANDゲートを示す等価回路図である。

【図34】本発明に至る過程において本発明者らが検討したゲートアレイ方式の多電源集積回路の断面図である。

【図35】本発明の前段階として本発明者らが検討したゲートアレイ方式の多電源集積回路の平面図である。

【符号の説明】

- 1 p型基板
- 3, 4, 5 p型MOSトランジスタ
- 7, 9, 203~207, 209 n型MOSトランジスタ
- 17, 47, 71, 241, 242 ゲート電極
- 11 n型基板
- 19, 45, 75, 77, 79 p<sup>+</sup>ドレイン領域
- 21, 25, 44, 74, 76 p<sup>+</sup>型ソース領域
- 23, 43, 53, 54, 73, 133 nウェル \*

\* 25, 55, 78 n<sup>+</sup>型コンタクト領域

27a, 27u 低電位電源供給線

27b, 27u 高電位電源供給線

27d, 85a VDD電源供給線

27e, 27f 信号配線

27g 接地電位電源供給線

27s, 85b VSS電源供給線

29a, 29b, 29c, 29d, 29e, 29f コンタクトホール

10 29n, 29m, 29u, 29v, 29w コンタクトホール

33 電源電圧制御回路

35 高電位電源パッド

36 中電位電源パッド

37 低電位電源パッド

58, 59 チャンネル領域

61, 62, 63, 64 しきい値を調整したp型MOSトランジスタ

79, 225, 235, 278 p<sup>+</sup>型コンタクト領域

20 81a, 81b, 86 信号配線

91 フィールド酸化膜

92 層間絶縁膜

98, 99 ゲート酸化膜

101 半導体チップ

103 基本セル

105 セル列(ロウ)

107 配線チャンネル

109 入出力回路

111 境界線

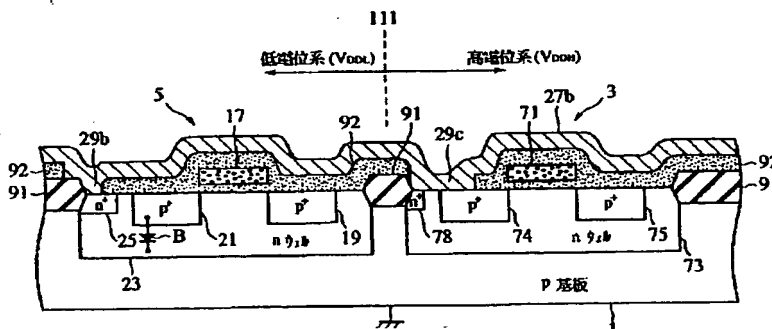
30 211 半導体基板

212, 331, 332 pウェル

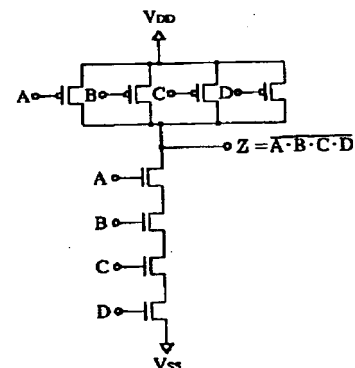
218, 219, 231, 233, 275, 276 n<sup>+</sup>ドレイン領域

232, 234 n<sup>+</sup>ソース領域

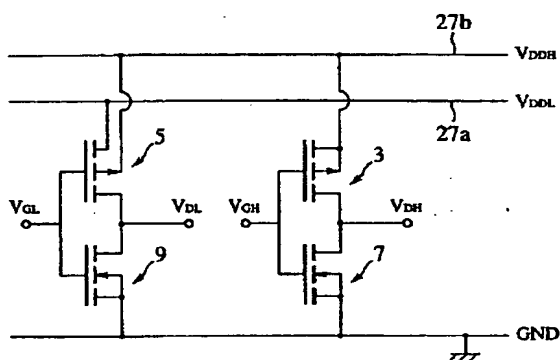
【図3】



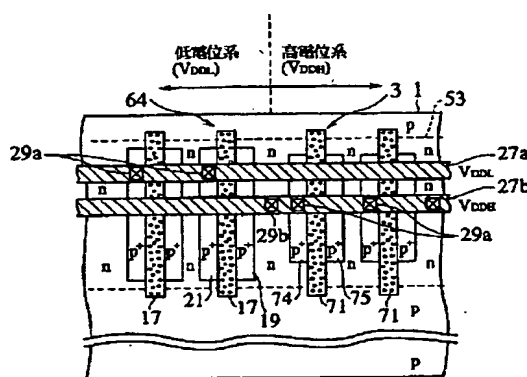
【図33】



【図1】

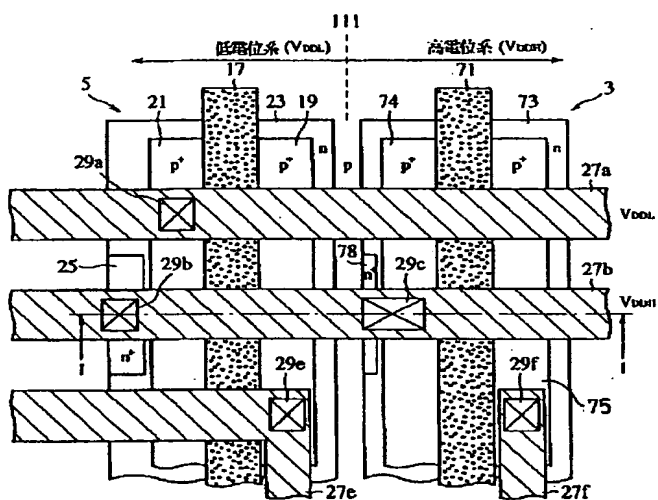


【図11】

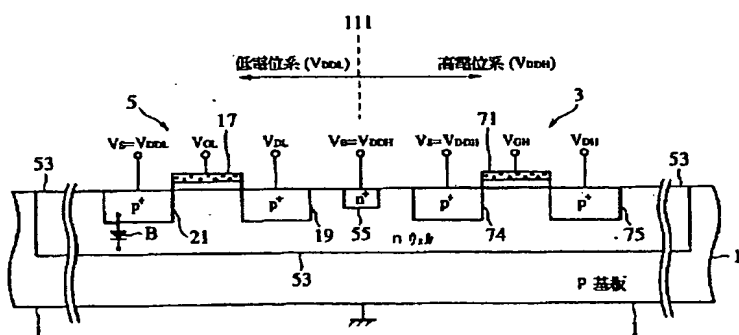


【図15】

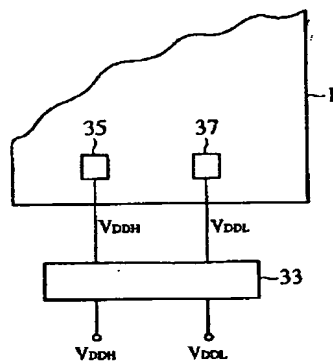
【図2】



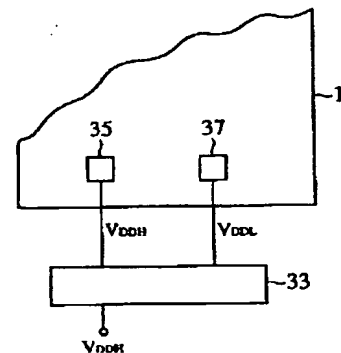
【図4】



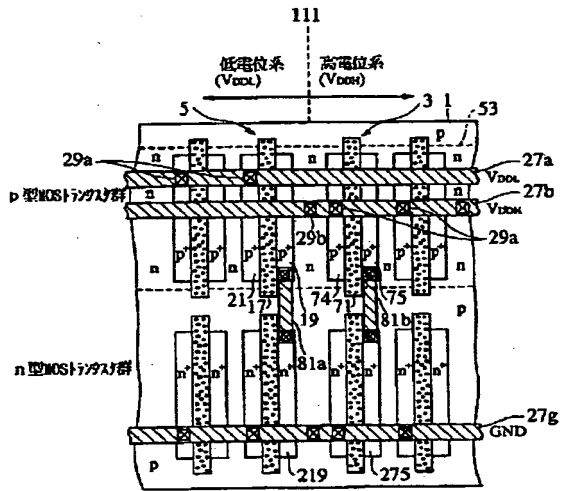
(a)



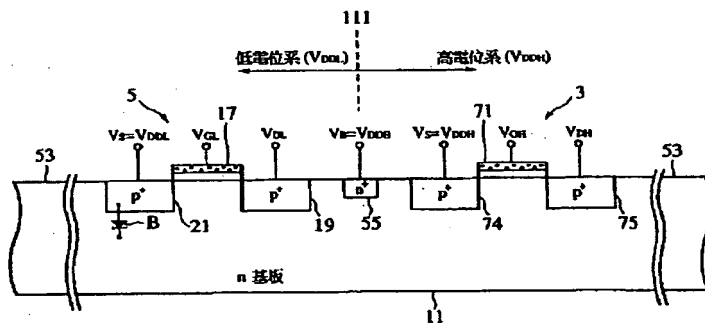
(b)



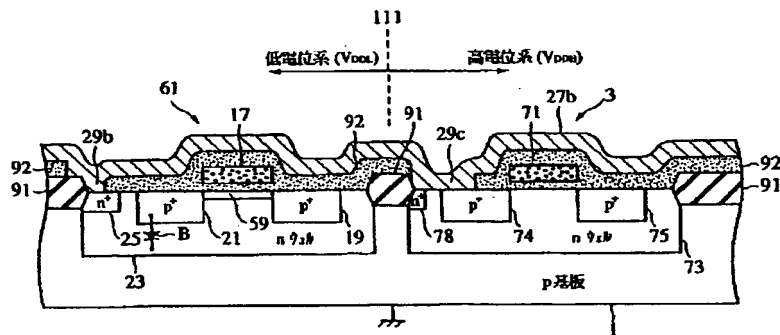
【図5】



【図6】

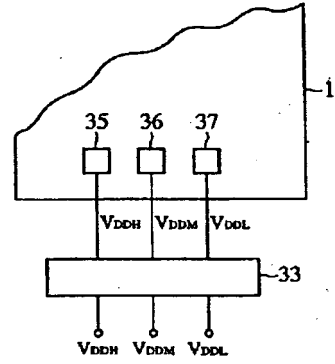


【図8】

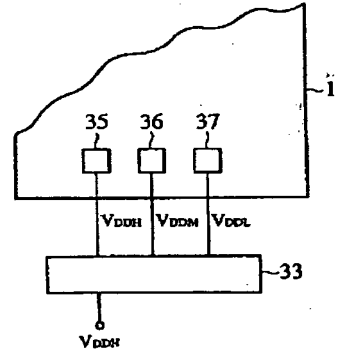


【図21】

(a)

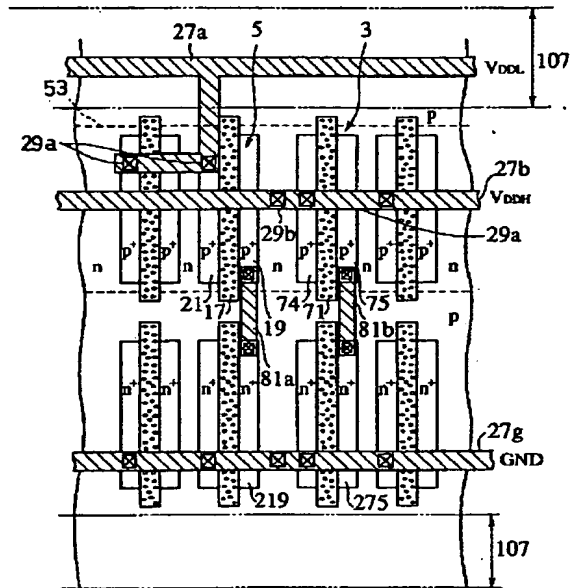


(b)

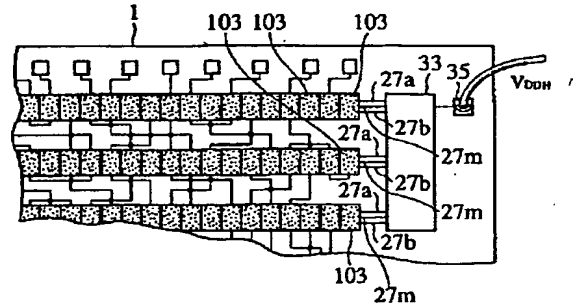




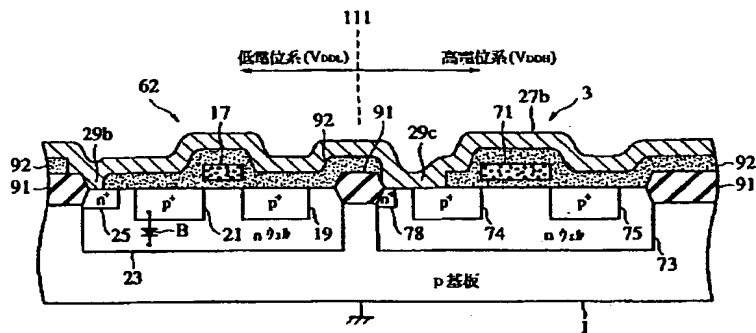
【図7】



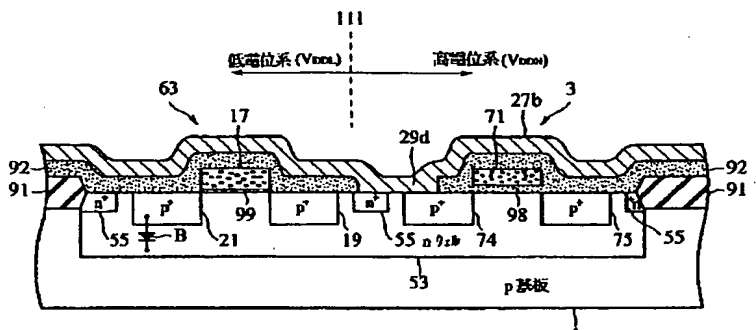
【図22】



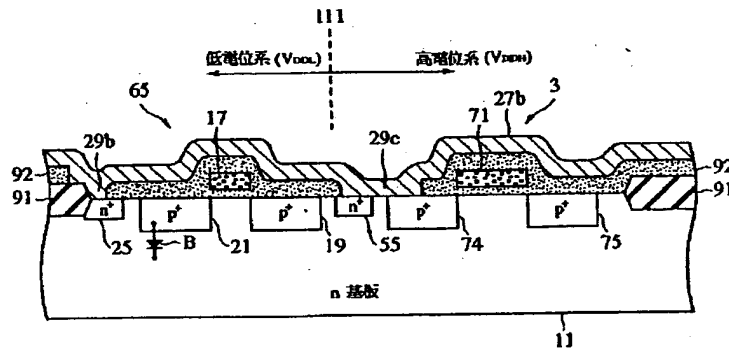
【図9】



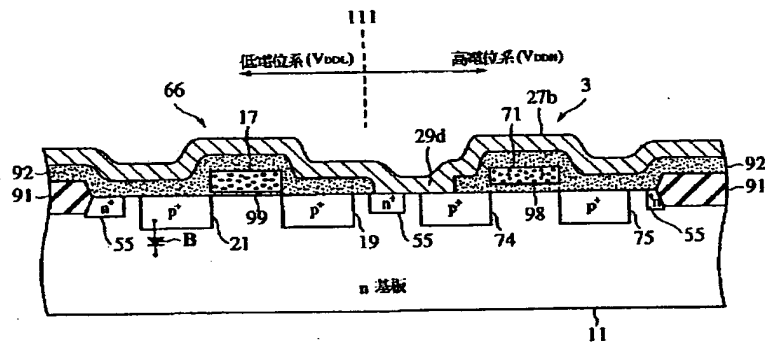
【図10】



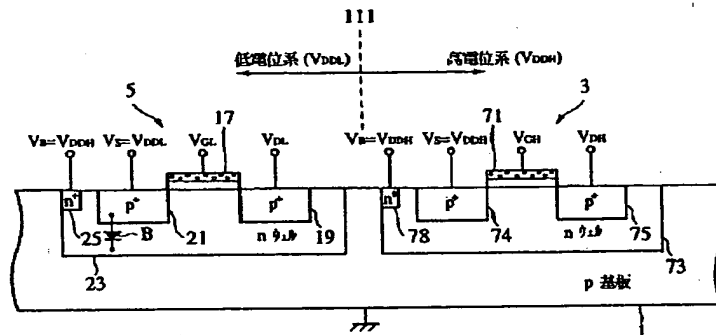
【圖12】



【圖13】

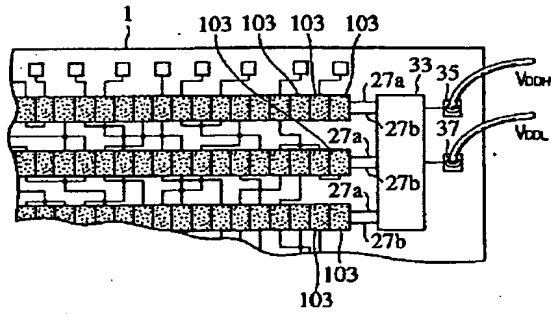


【圖14】

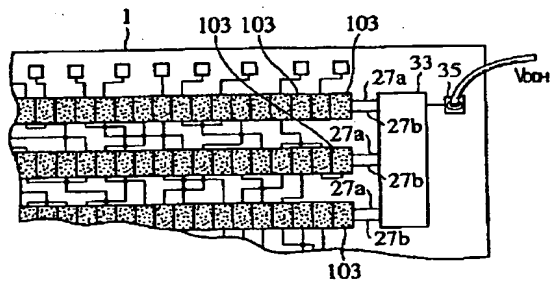


【図16】

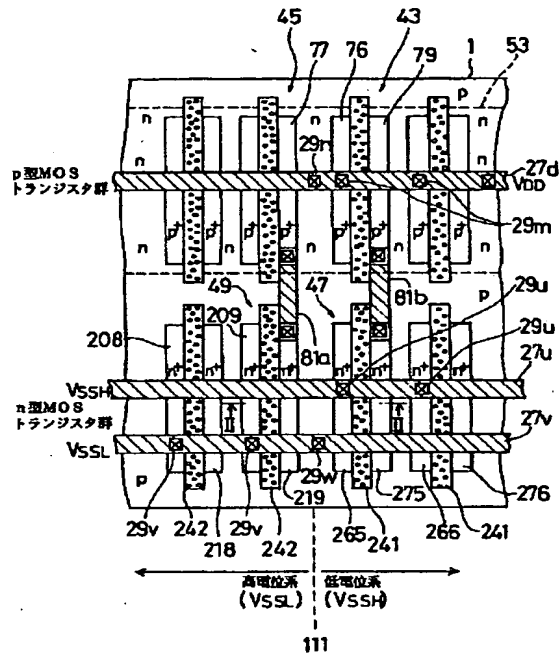
(a)



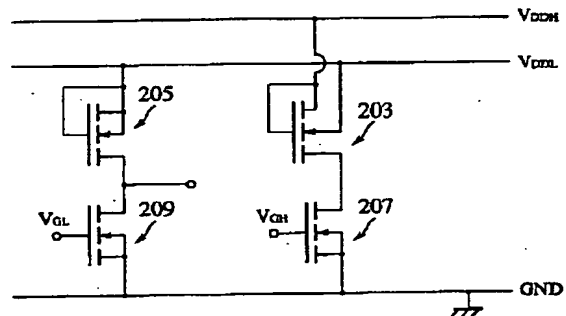
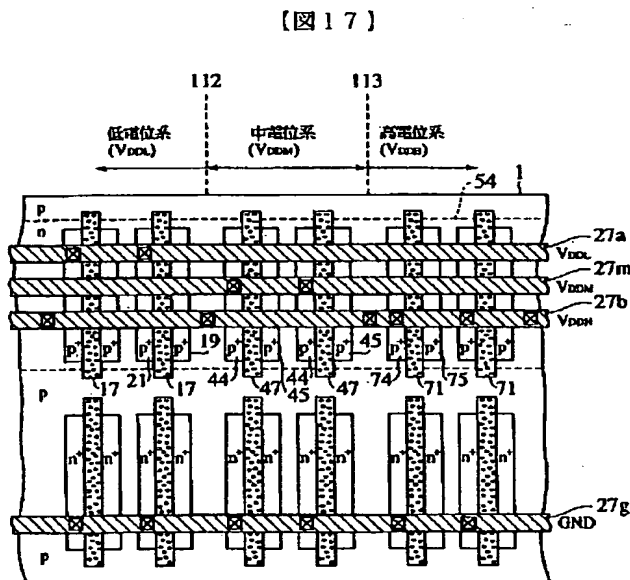
(b)



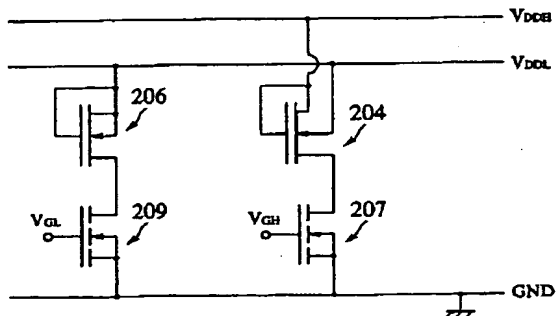
【図24】



【図27】



(a) E/B 構成



(b) E/D 構成

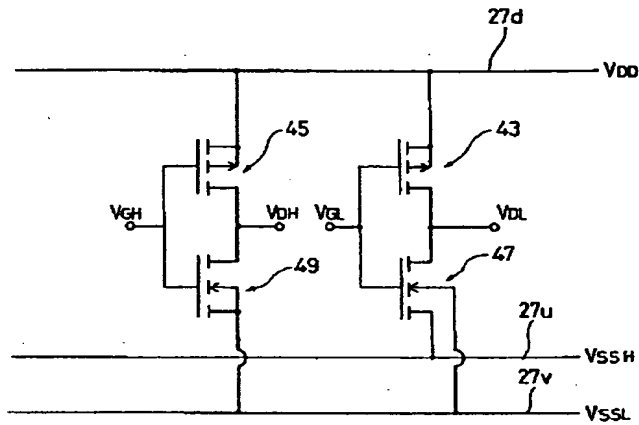
[illegible]

The diagram shows a cross-section of a semiconductor device divided into three voltage regions by dashed vertical lines 112 and 113:

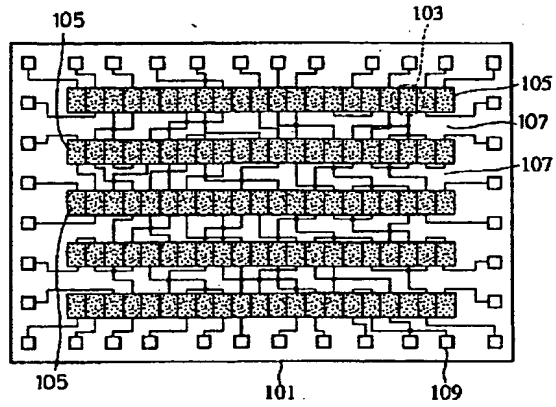
- Low Voltage Region ( $V_{DDL}$ ):** Contains elements 17, 19, 21, and 55.
- Medium Voltage Region ( $V_{DDM}$ ):** Contains elements 4, 44, 45, 47, and 54.
- High Voltage Region ( $V_{DH}$ ):** Contains elements 3, 71, 74, and 75.

Labels include  $V_S = V_{DDL}$ ,  $V_G$ ,  $V_{DL}$ ,  $V_S = V_{DDM}$ ,  $V_M$ ,  $V_{DM}$ ,  $V_S = V_{DH}$ ,  $V_H$ ,  $V_{SH}$ , and  $V_{CH}$ . Other labels include BL, BM, p+, n+zt, and p-基板.

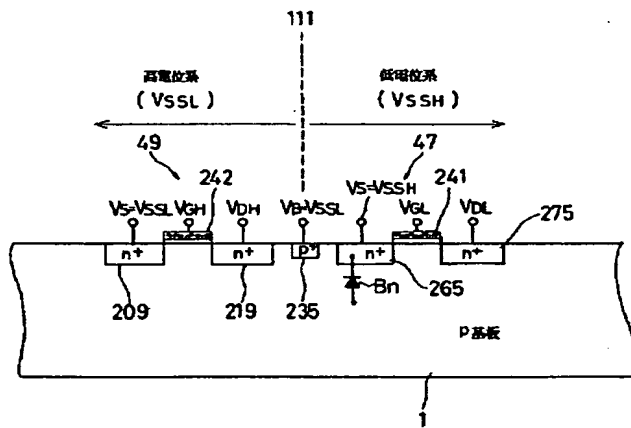
【図23】



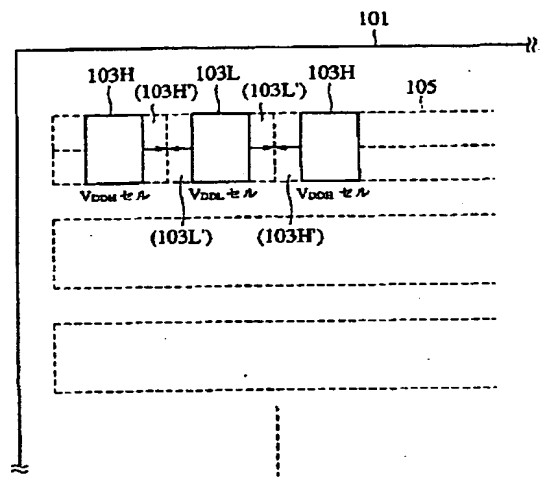
【図30】



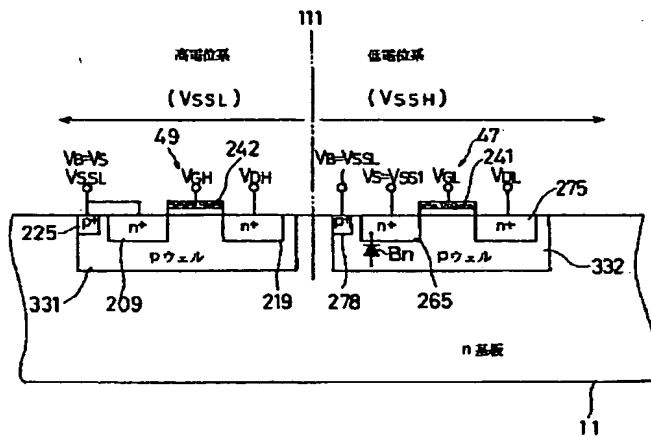
【図25】



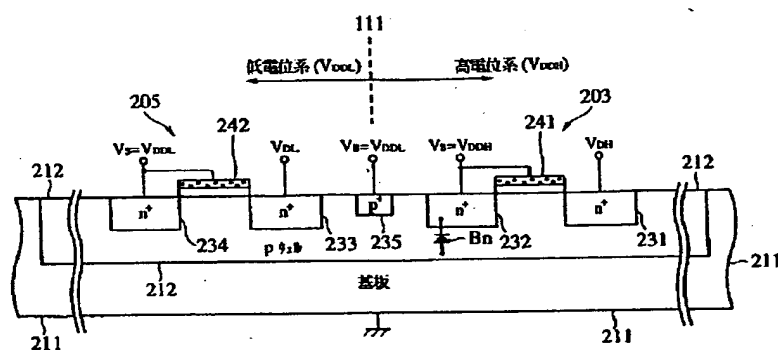
【図35】



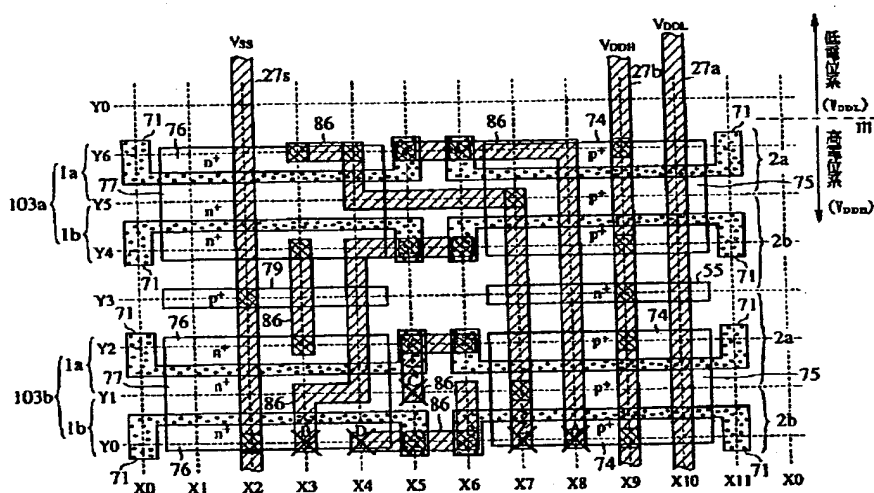
【図26】



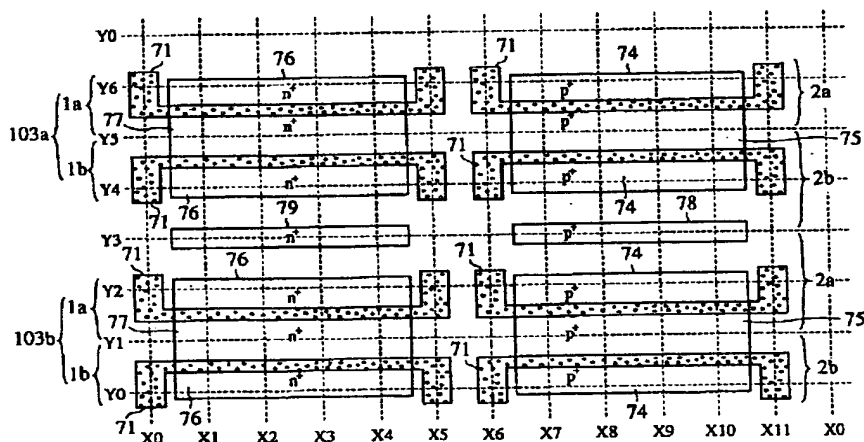
【圖28】



【圖29】



【圖 3 1】



The diagram shows a cross-sectional view of a semiconductor device. Two n-channel MOSFETs, labeled 115 and 71, are formed on a p-type substrate 73. Each transistor consists of a gate stack (gates 135/131 for 115 and 78/74 for 71), a source region (19 for 115 and 75 for 71), and a drain region (17 for 115 and 77 for 71). The gates of both transistors are connected to a common horizontal line 111. This line is divided by a vertical dashed line into a left section labeled '低電位系 (VDDL)' and a right section labeled '高電位系 (VDH)'. The source regions of both transistors are connected to a common node labeled 'A' at the bottom center.

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成13年11月9日(2001.11.9)

【公開番号】特開平10-74843  
 【公開日】平成10年3月17日(1998.3.17)  
 【年通号数】公開特許公報10-749  
 【出願番号】特願平9-162634  
 【国際特許分類第7版】

H01L 21/8234  
 27/088  
 27/04  
 21/822

H03K 19/00

【F I】

H01L 27/08 102 B  
 H03K 19/00 A  
 H01L 27/04 B

【手続補正書】

【提出日】平成13年3月27日(2001.3.27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 第1の高位電源電圧を供給する第1の高位電源電圧供給線、該第1の高位電源電圧よりも低い第2の高位電源電圧を供給する第2の高位電源電圧供給線、及び該第2の高位電源電圧よりも低い低位電源電圧を供給する低位電源電圧供給線とを有するCMOS集積回路において、  
 前記第1の高位電源電圧供給線に接続された第1のnウェルと、  
 前記第1のnウェルの最近接となる位置に配置され、前記第1の高位電源電圧供給線に接続された第2のnウェルと、  
 前記第1のnウェル中に形成され、前記第1の高位電源電圧供給線に接続されたp<sup>+</sup>型ソース領域を有する第1のpMOSトランジスタと、  
 前記第2のnウェル中に形成され、前記第2の高位電源電圧供給線に接続されたp<sup>+</sup>型ソース領域を有する第2のpMOSトランジスタと、  
 前記低位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域及び前記第1のpMOSトランジスタのp<sup>+</sup>型ドレイン領域に接続されたn<sup>+</sup>型ドレイン領域とを有する第1のnMOSトランジスタと、  
 前記第2のpMOSトランジスタのp<sup>+</sup>型ドレイン領

域に接続されたn<sup>+</sup>型ドレイン領域とを有する第2のnMOSトランジスタとからなることを特徴とする多電源集積回路。

【請求項2】 第1の高位電源電圧を供給する第1の高位電源電圧供給線、該第1の高位電源電圧よりも低い第2の高位電源電圧を供給する第2の高位電源電圧供給線、及び該第2の高位電源電圧よりも低い低位電源電圧を供給する低位電源電圧供給線とを有するCMOS集積回路において、

前記第1の高位電源電圧供給線に接続されたn基板と、  
 前記n基板中に形成され、前記第1の高位電源電圧供給線に接続されたp<sup>+</sup>型ソース領域を有する第1のpMOSトランジスタと、

前記n基板中において、前記第1のpMOSトランジスタに隣接して形成され、前記第2の高位電源電圧供給線に接続されたp<sup>+</sup>型ソース領域を有する第2のpMOSトランジスタと、

前記低位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域及び前記第1のpMOSトランジスタのp<sup>+</sup>型ドレイン領域に接続されたn<sup>+</sup>型ドレイン領域とを有する第1のnMOSトランジスタと、

前記低位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域及び前記第2のpMOSトランジスタのp<sup>+</sup>型ドレイン領域に接続されたn<sup>+</sup>型ドレイン領域とを有する第2のnMOSトランジスタとからなることを特徴とする多電源集積回路。

【請求項3】 高位電源電圧を供給する高位電源電圧供給線、第1の低位電源電圧を供給する第1の低位電源電圧供給線、及び該第1の低位電源電圧よりも高く、前記高位電源電圧より低い第2の低位電源電圧を供給する第



2の低位電源電圧供給線とを有するCMOS集積回路において、

前記第1の低位電源電圧供給線に接続された第1のp型半導体領域と、

前記第1のp型半導体領域の最近接となる位置に配置され、前記第1の低位電源電圧供給線に接続された第2のp型半導体領域と、

前記第1のp型半導体領域中に形成され、前記第1の低位電源電圧供給線に接続された $n^+$ 型ソース領域を有する第1のnMOSトランジスタと、

前記第2のp型半導体領域中に形成され、前記第2の低位電源電圧供給線に接続された $n^+$ 型ソース領域を有する第2のnMOSトランジスタと、

前記高位電源電圧供給線に接続された $p^+$ 型ソース領域及び前記第1のnMOSトランジスタの $n^+$ 型ドレイン領域に接続された $p^+$ 型ドレイン領域とを有する第1のpMOSトランジスタと、

前記高位電源電圧供給線に接続された $p^+$ 型ソース領域及び前記第2のnMOSトランジスタの $n^+$ 型ドレイン領域に接続された $p^+$ 型ドレイン領域とを有する第2のpMOSトランジスタと、

とからなることを特徴とする多電源集積回路。

【請求項4】 第1の高位電源電圧を供給する第1の高位電源電圧供給線、該第1の高位電源電圧よりも低い第2の高位電源電圧を供給する第2の高位電源電圧供給線、及び該第2の高位電源電圧よりも低い低位電源電圧を供給する低位電源電圧供給線とを有する集積回路システムにおいて、

前記第1の高位電源電圧供給線に接続された第1のnウェル、前記第1のnウェルの最近接となる位置に配置され、前記第1の高位電源電圧供給線に接続された第2のnウェル、前記第1のnウェル中に形成され、前記第1の高位電源電圧供給線に接続された $p^+$ 型ソース領域を有する第1のpMOSトランジスタ、前記第2のnウェル中に形成され、前記第2の高位電源電圧供給線に接続された $p^+$ 型ソース領域を有する第2のpMOSトランジスタ、前記低位電源電圧供給線に接続された $n^+$ 型ソース領域及び前記第1のpMOSトランジスタの $p^+$ 型ドレイン領域に接続された $n^+$ 型ドレイン領域とを有する第1のnMOSトランジスタ、前記第2のpMOSトランジスタの $p^+$ 型ドレイン領域に接続された $n^+$ 型ドレイン領域とを有する第2のnMOSトランジスタとからなるCMOS集積回路と、

前記CMOS集積回路に接続され、前記第1の高位電源電圧の供給の後に、前記第2の高位電源電圧を供給する電源電圧制御回路とからなることを特徴とする多電源集積回路システム。

【請求項5】 第1の高位電源電圧を供給する第1の高位電源電圧供給線、該第1の高位電源電圧よりも低い第2の高位電源電圧を供給する第2の高位電源電圧供給

線、該第1の高位電源電圧よりも低い第3の高位電源電圧を供給する第3の高位電源電圧供給線、及び該第2の高位電源電圧よりも低い低位電源電圧を供給する低位電源電圧供給線とを有する集積回路システムにおいて、

前記第1の高位電源電圧供給線に接続された第1のnウェル、前記第1のnウェルの最近接となる位置に配置され、前記第1の高位電源電圧供給線に接続された第2のnウェル、前記第1のnウェル若しくは前記第2のnウェルの最近接となる位置に配置され、前記第1の高位電源電圧供給線に接続された第3のnウェル、前記第1のnウェル中に形成され、前記第1の高位電源電圧供給線に接続された $p^+$ 型ソース領域を有する第1のpMOSトランジスタ、前記第2のnウェル中に形成され、前記第2の高位電源電圧供給線に接続された $p^+$ 型ソース領域を有する第2のpMOSトランジスタ、前記第3のnウェル中に形成され、前記第3の高位電源電圧供給線に接続された $p^+$ 型ソース領域を有する第3のpMOSトランジスタ、前記低位電源電圧供給線に接続された $n^+$ 型ソース領域及び前記第1のpMOSトランジスタの $p^+$ 型ドレイン領域に接続された $n^+$ 型ドレイン領域とを有する第1のnMOSトランジスタ、前記第2のpMOSトランジスタの $p^+$ 型ドレイン領域に接続された $n^+$ 型ドレイン領域とを有する第2のnMOSトランジスタ、前記第3のpMOSトランジスタの $p^+$ 型ドレイン領域に接続された $n^+$ 型ドレイン領域とを有する第3のnMOSトランジスタとからなるCMOS集積回路と、

前記CMOS集積回路に接続され、前記第1の高位電源電圧の供給の後に、前記第2及び第3の高位電源電圧を供給する電源電圧制御回路とからなることを特徴とする多電源集積回路システム。

【請求項6】 第1の高位電源電圧を供給する第1の高位電源電圧供給線、該第1の高位電源電圧よりも低い第2の高位電源電圧を供給する第2の高位電源電圧供給線、及び該第2の高位電源電圧よりも低い低位電源電圧を供給する低位電源電圧供給線とを有する集積回路システムにおいて、

前記第1の高位電源電圧供給線に接続されたn基板、前記n基板中に形成され、前記第1の高位電源電圧供給線に接続された $p^+$ 型ソース領域を有する第1のpMOSトランジスタ、前記n基板中において、前記第1のpMOSトランジスタに隣接して形成され、前記第2の高位電源電圧供給線に接続された $p^+$ 型ソース領域を有する第2のpMOSトランジスタ、前記低位電源電圧供給線に接続された $n^+$ 型ソース領域及び前記第1のpMOSトランジスタの $p^+$ 型ドレイン領域に接続された $n^+$ 型ドレイン領域とを有する第1のnMOSトランジスタ、前記低位電源電圧供給線に接続された $n^+$ 型ソース領域及び前記第2のpMOSトランジスタの $p^+$ 型ドレイン領域に接続された $n^+$ 型ドレイン領域と

を有する第2のnMOSトランジスタとからなるCMOS集積回路と、

前記CMOS集積回路に接続され、前記第1の高位電源電圧の供給の後に、前記第2の高位電源電圧を供給する電源電圧制御回路とからなることを特徴とする多電源集積回路システム。

【請求項7】 第1の高位電源電圧を供給する第1の高位電源電圧供給線、該第1の高位電源電圧よりも低い第2の高位電源電圧を供給する第2の高位電源電圧供給線、及び該第2の高位電源電圧よりも低い低位電源電圧を供給する低位電源電圧供給線とを有するnMOS集積回路において、

前記第2の高位電源電圧供給線に接続された第1のpウェルと、

前記第1のpウェルの最近接となる位置に配置され、前記第2の高位電源電圧供給線に接続された第2のpウェルと、

前記第1のpウェル中に形成され、前記第1の高位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域を有する第1のエンハンスメント型nMOSトランジスタと、

前記低位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域、前記第1のエンハンスメント型nMOSトランジスタのn<sup>+</sup>型ドレイン領域に接続されたn<sup>+</sup>型ドレイン領域、及び前記第1のエンハンスメント型nMOSトランジスタのゲート電極に接続されたゲート電極とを有する第2のエンハンスメント型nMOSトランジスタと、前記第2のpウェル中に形成され、前記第2の高位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域を有する第3のエンハンスメント型nMOSトランジスタと、

前記低位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域、前記第3のエンハンスメント型nMOSトランジスタのゲート電極に接続され、且つ前記第2のエンハンスメント型nMOSトランジスタのゲート電極とは独立のゲート電極とを有する第4のエンハンスメント型nMOSトランジスタとからなることを特徴とする多電源集積回路。

【請求項8】 第1の高位電源電圧を供給する第1の高位電源電圧供給線、該第1の高位電源電圧よりも低い第2の高位電源電圧を供給する第2の高位電源電圧供給線、及び該第2の高位電源電圧よりも低い低位電源電圧を供給する低位電源電圧供給線とを有するnMOS集積回路において、

前記第2の高位電源電圧供給線に接続された第1のpウェルと、

前記第1のpウェルの最近接となる位置に配置され、前記第2の高位電源電圧供給線に接続された第2のpウェルと、

前記第1のpウェル中に形成され、前記第1の高位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域を有する第1のディプリーション型nMOSトランジスタと、

前記第2のpウェル中に形成され、前記低位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域、前記第1のディプリーション型nMOSトランジスタのn<sup>+</sup>型ドレイン領域に接続されたn<sup>+</sup>型ドレイン領域、及び前記第1のディプリーション型nMOSトランジスタのゲート電極に接続されたゲート電極とを有する第1のエンハンスメント型nMOSトランジスタと、

前記第2のpウェル中に形成され、前記第2の高位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域を有する第2のディプリーション型nMOSトランジスタと、

前記低位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域、前記第2のディプリーション型nMOSトランジスタのn<sup>+</sup>型ドレイン領域に接続されたn<sup>+</sup>型ドレイン領域、及び前記第2のディプリーション型nMOSトランジスタのゲート電極に接続され、且つ前記第1のエンハンスメント型nMOSトランジスタのゲート電極とは独立のゲート電極とを有する第2のエンハンスメント型nMOSトランジスタとからなることを特徴とする多電源集積回路。

【請求項9】 複数の規則的に配列された基本セルからなるゲートアレイを有し、第1の高位電源電圧を供給する第1の高位電源電圧供給線、該第1の高位電源電圧よりも低い第2の高位電源電圧を供給する第2の高位電源電圧供給線、及び該第2の高位電源電圧よりも低い低位電源電圧を供給する低位電源電圧供給線とを有する集積回路において、前記ゲートアレイが前記第1の高位電源電圧供給線に接続された第1のnウェル、前記第1のnウェル中に形成され、前記第1の高位電源電圧供給線に接続されたp<sup>+</sup>型ソース領域を有する第1のpMOSトランジスタ、及び前記低位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域及び前記第1のpMOSトランジスタのp<sup>+</sup>型ドレイン領域に接続されたn<sup>+</sup>型ドレイン領域とを有する第1のnMOSトランジスタとからなる高電位基本セルと、

前記高電位基本セルに隣接し、前記高電位基本セルに沿って一列に配列され、前記第1の高位電源電圧供給線に接続された第2のnウェル、前記第2のnウェル中に形成され、前記第2の高位電源電圧供給線に接続されたp<sup>+</sup>型ソース領域を有する第2のpMOSトランジスタ、及び前記低位電源電圧供給線に接続されたn<sup>+</sup>型ソース領域及び前記第2のpMOSトランジスタのp<sup>+</sup>型ドレイン領域に接続されたn<sup>+</sup>型ドレイン領域とを有する第2のnMOSトランジスタとからなる低電位基本セルとからなることを特徴とする多電源集積回路。